

# SDRAMの使い方

---



## 目次要約

第 1 章	製品概要 .....	12
第 2 章	製品の特徴.....	20
第 3 章	電源投入と初期化.....	32
第 4 章	基本設定（モード・レジスタ設定） .....	33
第 5 章	状態遷移 .....	42
第 6 章	コマンド・オペレーション.....	46
第 7 章	基本動作モード.....	53
第 8 章	DQM制御動作.....	60
第 9 章	CKE制御動作.....	64
第 10 章	バースト動作 .....	72
第 11 章	マルチバンク・オペレーション .....	81

## はじめに

**対象者** このマニュアルは、SynchronousDRAM (SDRAM)の性能を理解し、それをういたアプリケーション・システムを設計するユーザを対象とします。

**読み方** このマニュアルの読者には、電気、論理回路、メモリ製品に関する一般知識を必要とします。各製品の機能の詳細はそれぞれのデータシートを参照してください。なお、このユーザズマニュアルに記載している動作例はあくまで参考例を示したもので、記載されているデータなどは保証値ではありません。あくまで参考値として使用してください。

(製品の保証値については、各データシートをご参照ください。)

**凡例注** : 本文中につけた注の説明  
**注意** : 気をつけて読んでいただきたい内容  
**備考** : 本文の補足説明  
**数の表記** : 10進数 xxxx

**関連資料** 関連資料は暫定版の場合がありますが、この資料では「暫定」の表示をしておりません。あらかじめご了承ください。

ドキュメント名	資料番号
シンクロナス DRAM ユーザズマニュアル	J0124N

### 注意事項

本資料は、SDRAMの基本的な性能とその使い方について理解していただくことを目的としています。本資料に記載された情報は、半導体製品の動作例、応用例を説明するためのものです。また、本資料に記載している動作例はあくまで参考例を示したもので、記載されている数値は保証値ではありません。従って、これらの情報をお客様の機器に使用される場合、各製品の機能の詳細については、必ずそれぞれのデータシートを参照してください。これらの情報の使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責任を負いません。

構成 このマニュアルは、大きく分けて次の内容で構成しています。

(1) 製品の概要

(2) シンクロナス製品の概要

**(1) 製品の概要：SDRAM 製品の特徴を説明しています。**

1 章 製品概要

**(2) シンクロナス製品の概要：シンクロナス動作と特有の機能を説明しています。**

2 章 製品の特徴

3 章 電源投入と初期化

4 章 基本設定（モード・レジスタ設定）

5 章 状態遷移

6 章 コマンド・オペレーション

7 章 基本動作モード

8 章 DQM 制御動作

9 章 CKE 制御動作

10 章 バースト動作

11 章 マルチバンク・オペレーション

# 目 次

<b>第 1 章 製品概要</b> .....	<b>12</b>
1.1 端子接続図.....	13
1.2 端子機能説明.....	14
1.2.1 CLK入力.....	14
1.2.2 CKE入力.....	14
1.2.3 /CS入力.....	14
1.2.4 /RAS,/CAS,/WE入力.....	14
1.2.5 VCC,VSS.....	14
1.2.6 VCCQ,VSSQ.....	14
1.2.7 アドレス (A0-Ax) 入力.....	15
1.2.8 DQM0-DQM3 入力.....	16
1.2.9 DQ0-DQx入出力.....	16
1.3 ブロック図.....	17
1.3.1 128M SDRAM ( $\mu$ PD45128163)のブロック図.....	17
1.4 ブロック図説明.....	18
1.4.1 128M SDRAM ( $\mu$ PD45128163)のメモリ・セル・アレイ.....	18
1.4.2 アドレス (Row,Column) デコーダ.....	19
1.4.3 I/Oバッファ.....	19
1.4.4 リフレッシュ・カウンタ.....	19
<b>第 2 章 製品の特徴</b> .....	<b>20</b>
2.1 クロック同期動作.....	21
2.2 コマンドによる制御.....	22
2.2.1 コマンド入力タイミング.....	22
2.2.2 SDRAMコマンド一覧.....	23
2.3 複数バンク構成.....	24
2.3.1 4バンク構成.....	24
2.4 バースト転送.....	25
2.5 汎用DRAMとの比較.....	27
2.5.1 DRAMの高速化.....	27
2.5.2 基本的な制御方法とアクセス時間.....	28
<b>第 3 章 電源投入と初期化</b> .....	<b>32</b>
電源投入.....	32
初期化.....	32
<b>第 4 章 基本設定 (モード・レジスタ設定)</b> .....	<b>33</b>
4.1 モード・レジスタ設定.....	33
4.1.1 設定方法.....	33

4.1.2	設定項目 .....	33
4.1.3	バースト長, ラップ・タイプ, /CASレーテンシの設定 .....	41
<b>第5章</b>	<b>状態遷移 .....</b>	<b>42</b>
5.1	状態遷移図.....	42
5.1.1	128M SDRAM ( $\mu$ PD45128163)の状態遷移図 .....	43
5.2	状態説明 .....	44
5.2.1	アイドル .....	44
5.2.2	ロウ・アクティブ .....	44
5.2.3	プリチャージ .....	44
5.2.4	リード, ライト .....	44
5.2.5	オート・プリチャージ付きリード, ライト .....	44
5.2.6	一時停止 .....	45
5.2.7	モード・レジスタ設定 .....	45
5.2.8	CBR (オート) リフレッシュ .....	45
5.2.9	セルフ・リフレッシュ .....	45
5.2.10	パワーダウン .....	45
<b>第6章</b>	<b>コマンド・オペレーション .....</b>	<b>46</b>
6.1	コマンドの実行条件 .....	46
6.2	128M SDRAM ( $\mu$ PD45128163)のコマンド動作 .....	47
<b>第7章</b>	<b>基本動作モード .....</b>	<b>53</b>
7.1	リード・モード .....	53
7.2	ライト・モード .....	56
7.3	リフレッシュ・モード .....	59
<b>第8章</b>	<b>DQM制御動作 .....</b>	<b>60</b>
8.1	DQM端子 .....	60
8.2	リード・サイクルでのDQM制御 .....	61
8.3	ライト・サイクルでのDQM制御 .....	62
8.4	DQM真理値表 .....	63
<b>第9章</b>	<b>CKE制御動作 .....</b>	<b>64</b>
9.1	基本制御 .....	64
9.2	CKE制御例 .....	65
9.2.1	パワーダウン・モード .....	66
9.2.2	クロック・サスペンド・モード .....	67
9.2.3	セルフ・リフレッシュ・モード .....	69
9.2.4	CKEコマンド真理値表 (128M SDRAM ( $\mu$ PD45128163)) .....	70
<b>第10章</b>	<b>バースト動作 .....</b>	<b>72</b>
10.1	バーストの終了 .....	72
10.1.1	リード・コマンドによるデータ割り込み .....	73

10.1.2	ライト・コマンドによるデータ割り込み .....	75
10.1.3	バースト・ストップ・コマンドによるバースト動作の終了 .....	77
10.1.4	プリチャージ・コマンドによるバースト動作の終了 .....	78
10.2	バースト・リード&シングル・ライト .....	80
<b>第11章 マルチバンク・オペレーション .....</b>		<b>81</b>
11.1	基本タイミングの種類 .....	81
11.1.1	バースト動作（リードまたはライト）を実行中に，別のバンクに対してバースト動作（リードまたはライト）を実行する場合 .....	81
11.1.2	バースト動作（リードまたはライト）を実行中に，別のバンクを活性化し，そのバンクに対してバースト動作（リードまたはライト）を実行する場合 .....	81
11.1.3	オート・プリチャージ付きのバースト動作（リードまたはライト）を実行中に，別のバンクに対してバースト動作（リードまたはライト）を実行する場合 .....	81
11.2	バースト動作（リードまたはライト）を実行中に，別のバンクに対してバースト動作（リードまたはライト）を実行する場合 .....	82
11.2.1	バースト・リード動作      バースト・リード動作 .....	83
11.2.2	バースト・リード動作      バースト・ライト動作 .....	85
11.2.3	バースト・ライト動作      バースト・リード動作 .....	87
11.2.4	バースト・ライト動作      バースト・ライト動作 .....	89
11.3	バースト動作（リードまたはライト）を実行中に，別のバンクを活性化し，そのバンクに対してバースト動作（リードまたはライト）を実行する場合 .....	91
11.3.1	バースト・リード動作      別のバンクの活性化      バースト・リード動作 .....	92
11.3.2	バースト・リード動作      別のバンクの活性化      バースト・ライト動作 .....	94
11.3.3	バースト・ライト動作      別のバンク活性化      バースト・リード動作 .....	96
11.3.4	バースト・ライト動作      別のバンク活性化      バースト・ライト動作 .....	98
11.4	オート・プリチャージ付きのバースト動作（リードまたはライト）を実行中に，別のバンクに対してバースト動作（リードまたはライト）を実行する場合 .....	100
11.4.1	オート・プリチャージ付きバースト・リード動作      バースト・リード動作 .....	101
11.4.2	オート・プリチャージ付きバースト・リード動作      バースト・ライト動作 .....	103
11.4.3	オート・プリチャージ付きバースト・ライト動作      バースト・リード動作 .....	105
11.4.4	オート・プリチャージ付きバースト・ライト動作      バースト・ライト動作 .....	107

## 図の目次 (1/2)

図番号	タイトル, ページ
図 1 - 1	64M/128M SDRAM の端子接続図 ..... 13
図 1 - 2	128M SDRAM( $\mu$ PD45128163) のブロック図 ..... 17
図 1 - 3	メモリ・セルとメモリ構成 (128M SDRAM) ..... 18
図 2 - 1	リード・サイクル・タイミング ..... 21
図 2 - 2	ライト・サイクル・タイミング ..... 21
図 2 - 3	コマンド入力タイミング ..... 22
図 2 - 4	4バンク構成 ..... 24
図 2 - 5	パイプライン・アーキテクチャ ..... 26
図 2 - 6	DRAMの高速化 ..... 27
図 2 - 7	SDRAMと汎用DRAMのリード・サイクル ..... 28
図 2 - 8	バースト・リード・サイクル ..... 30
図 3 - 1	SDRAMの電源投入と初期化 ..... 32
図 4 - 1	モード・レジスタ設定サイクル ..... 33
図 4 - 2	バースト長: 8 の場合のリード/ライト・サイクル ..... 34
図 4 - 3	バースト長: フル・ページ (512) の場合のリード/ライト・サイクル ..... 35
図 4 - 4	ラップ・タイプ ..... 36
図 4 - 5	/CASレーテンシ= 2 と 3 のタイミング上の違い ..... 39
図 4 - 6	モード・レジスタ内のオプション (128M SDRAMの場合) ..... 40
図 4 - 7	モード・レジスタのフィールド (128M SDRAMの場合) ..... 41
図 5 - 1	128M SDRAM ( $\mu$ PD45128163)の状態遷移図 ..... 43
図 7 - 1	リード・サイクル ..... 54
図 7 - 2	オート・プリチャージ付きリード・サイクル ..... 55
図 7 - 3	ライト・サイクル ..... 57
図 7 - 4	オート・プリチャージ付きライト・サイクル ..... 58
図 7 - 5	CBR (オート) リフレッシュ・サイクル ..... 59
図 8 - 1	リード動作時のDQM制御 ..... 61
図 8 - 2	ライト動作時のDQM制御 ..... 62
図 9 - 1	CKE制御の信号取り込みタイミング ..... 64
図 9 - 2	CKE制御例 ..... 65
図 9 - 3	パワーダウン・モード ..... 66
図 9 - 4	クロック・サスペンド・モード (リード・サイクル: CL= 2) ..... 67
図 9 - 5	クロック・サスペンド・モード (ライト・サイクル) ..... 68
図 9 - 6	セルフ・リフレッシュ・モード ..... 69
図 10 - 1	リード/リード・コマンド ..... 73
図 10 - 2	ライト/リード・コマンド ..... 74
図 10 - 3	ライト/ライト・コマンド ..... 75

図 10 - 4	リード/ライト・コマンド .....	76
図 10 - 5	リード/バースト・ストップ・コマンド .....	77
図 10 - 6	ライト/バースト・ストップ・コマンド .....	77
図 10 - 7	リード/プリチャージ・コマンド .....	78
図 10 - 8	ライト/プリチャージ・コマンド .....	79
図 10 - 9	バースト・リード&シングル・ライト .....	80
図 11 - 1	バースト・リード動作 (完了)      バースト・リード動作 .....	83
図 11 - 2	バースト・リード動作 (中断)      バースト・リード動作 .....	84
図 11 - 3	バースト・リード動作 (完了)      バースト・ライト動作 .....	85
図 11 - 4	バースト・リード動作 (中断)      バースト・ライト動作 .....	86
図 11 - 5	バースト・ライト動作 (完了)      バースト・リード動作 .....	87
図 11 - 6	バースト・ライト動作 (中断)      バースト・リード動作 .....	88
図 11 - 7	バースト・ライト動作 (完了)      バースト・ライト動作 .....	89
図 11 - 8	バースト・ライト動作 (中断)      バースト・ライト動作 .....	90
図 11 - 9	バースト・リード動作 (完了)      別のバンクの活性化      そのバンクへのバースト・リード動作 .....	92
図 11 - 10	バースト・リード動作 (中断)      別のバンクの活性化      そのバンクへのバースト・リード動作 .....	93
図 11 - 11	バースト・リード動作 (完了)      別のバンクの活性化      そのバンクへのバースト・ライト動作 .....	94
図 11 - 12	バースト・リード動作 (中断)      別のバンクの活性化      そのバンクへのバースト・ライト動作 .....	95
図 11 - 13	バースト・ライト動作 (完了)      別のバンクの活性化      そのバンクへのバースト・リード動作 .....	96
図 11 - 14	バースト・ライト動作 (中断)      別のバンクの活性化      そのバンクへのバースト・リード動作 .....	97
図 11 - 15	バースト・ライト動作 (完了)      別のバンクの活性化      そのバンクへのバースト・ライト動作 .....	98
図 11 - 16	バースト・ライト動作 (中断)      別のバンクの活性化      そのバンクへのバースト・ライト動作 .....	99
図 11 - 17	オート・プリチャージ付きバースト・リード動作 (完了)      バースト・リード動作 .....	101
図 11 - 18	オート・プリチャージ付きバースト・リード動作 (中断)      バースト・リード動作 .....	102
図 11 - 19	オート・プリチャージ付きバースト・リード動作 (完了)      バースト・ライト動作 .....	103
図 11 - 20	オート・プリチャージ付きバースト・リード動作 (中断)      バースト・ライト動作 .....	104
図 11 - 21	オート・プリチャージ付きバースト・ライト動作 (完了)      バースト・リード動作 .....	105
図 11 - 22	オート・プリチャージ付きバースト・ライト動作 (中断)      バースト・リード動作 .....	106
図 11 - 23	オート・プリチャージ付きバースト・ライト動作 (完了)      バースト・ライト動作 .....	107
図 11 - 24	オート・プリチャージ付きバースト・ライト動作 (中断)      バースト・ライト動作 .....	108

## 表の目次

表番号	タイトル, ページ
表 1 - 1	アドレス端子..... 15
表 1 - 2	DQM端子..... 16
表 2 - 1	128M SDRAM(x4/ x8/ x16 ビット構成)コマンド一覧表..... 23
表 2 - 2	SDRAMとEDO DRAMのアクセス時間の比較..... 30
表 2 - 3	SDRAMとEDO DRAMのアクセス時間 ..... 31
表 6 - 1	コマンドが実行可能な条件 ..... 46
表 8 - 1	DQM真理値表 ..... 63

# 第 1 章 製品概要

この章では 128M SDRAM (2M ワード×16 ビット×4 バンク構成)を例にして製品概要を説明します。なお、このユーザーズマニュアルでは、特に断りがないかぎりこの製品を代品種として説明しています。

## 1.1 端子接続図

64M/128M SDRAM の端子接続図と端子名称を示します。

図1 - 1 64M/128M SDRAM の端子接続図

Vcc	Vcc	Vcc	1	54	Vss	Vss	Vss
DQ0	DQ0	NC	2	53	NC	DQ7	DQ15
VccQ	VccQ	VccQ	3	52	VssQ	VssQ	VssQ
DQ1	NC	NC	4	51	NC	NC	DQ14
DQ2	DQ1	DQ0	5	50	DQ3	DQ6	DQ13
VssQ	VssQ	VssQ	6	49	VccQ	VccQ	VccQ
DQ3	NC	NC	7	48	NC	NC	DQ12
DQ4	DQ2	NC	8	47	NC	DQ5	DQ11
VccQ	VccQ	VccQ	9	46	VssQ	VssQ	VssQ
DQ5	NC	NC	10	45	NC	NC	DQ10
DQ6	DQ3	DQ1	11	44	DQ2	DQ4	DQ9
VssQ	VssQ	VssQ	12	43	VccQ	VccQ	VccQ
DQ7	NC	NC	13	42	NC	NC	DQ8
Vcc	Vcc	Vcc	14	41	Vss	Vss	Vss
LDQM	NC	NC	15	40	NC	NC	NC
/WE	/WE	/WE	16	39	DQM	DQM	UDQM
/CAS	/CAS	/CAS	17	38	CLK	CLK	CLK
/RAS	/RAS	/RAS	18	37	CKE	CKE	CKE
/CS	/CS	/CS	19	36	NC	NC	NC
A13	A13	A13	20	35	A11	A11	A11
A12	A12	A12	21	34	A9	A9	A9
A10	A10	A10	22	33	A8	A8	A8
A0	A0	A0	23	32	A7	A7	A7
A1	A1	A1	24	31	A6	A6	A6
A2	A2	A2	25	30	A5	A5	A5
A3	A3	A3	26	29	A4	A4	A4
Vcc	Vcc	Vcc	27	28	Vss	Vss	Vss

x4 (64M / 128M)

x8 (64M / 128M)

x16 (64M / 128M)

A0 - A11	: Address inputs	UDQM	: Upper DQ mask enable
A12,A13 (BA)	: Bank address	LDQM	: Lower DQ mask enable
DQ0 - DQ15	: Data inputs/outputs	CKE	: Clock enable
/CS	: Chip select	CLK	: System clock input
/RAS	: Row address strobe	Vcc	: Supply voltage
/CAS	: Column address strobe	Vss	: Ground
/WE	: Write enable	VccQ	: Supply voltage for DQ
		VssQ	: Ground for DQ
		NC	: No connection

## 1.2 端子機能説明

### 1.2.1 CLK入力

CLK には、外部からクロックを入力します。

すべての入力信号およびデータの入出力信号は、CLK の立ち上がりエッジに同期します。

### 1.2.2 CKE入力

CKE は、CLK が有効かどうかを決定する信号です。ある CLK の立ち上がりエッジで、CKE 信号がハイ・レベルのとき、次の CLK の立ち上がりエッジは有効です。それ以外の場合は無効です。

CLK の立ち上がりエッジが無効の場合、内部クロックは動作せず、この製品は一時停止します。

#### (1) バースト・モード

バースト・モードで、CKE 信号をロウ・レベルにすると、内部のバースト・クロックが一時停止します。

#### (2) セルフ・リフレッシュ・モード

セルフ・リフレッシュ・コマンド (CKE 信号はロウ・レベル) を実行するとセルフ・リフレッシュ・モードに入ります。セルフ・リフレッシュ・モードの間は、CKE 信号はロウ・レベルを保持する必要があります。

#### (3) バースト・モード、セルフ・リフレッシュ・モード以外

バースト・モード、セルフ・リフレッシュ・モード以外で、CKE 信号をロウ・レベルにするとパワーダウン・モードに入ります。パワーダウン・モードの間は、CKE 信号はロウ・レベルを保持する必要があります。

### 1.2.3 /CS入力

ロウ・レベル：コマンド入力サイクルを開始します。

ハイ・レベル：コマンドは無視されますが動作は続行します。

### 1.2.4 /RAS,/CAS,/WE入力

/RAS、/CAS、および/WE は、従来の DRAM で使われているものと名前は同じですが、機能は異なります。詳細については、コマンドの表を参照してください。

### 1.2.5 Vcc,Vss

電源端子です。Vcc と Vss は、内部回路用の電源端子です。

### 1.2.6 VccQ,VssQ

電源端子です。VccQ と VssQ は、出力バッファ用の電源端子です。

## 1.2.7 アドレス (A0-Ax) 入力

### (1) ロウ・アドレス

アクティブ・コマンド入力時に入力する A0-Ax によって決定されます。

### (2) カラム・アドレス

リードまたはライト・コマンド入力時に入力する A0-Ax によって決定されます。

### (3) バンク・アドレス (BA)

コマンド入力時の BA の入力レベルにより選択されるバンクが異なります。

### (4) プリチャージ・モード選択アドレス (AP)

プリチャージ・コマンド入力時とリード・コマンド (またはライト・コマンド) 入力時の AP の入力レベルにより、動作は次のように異なります。

プリチャージ・コマンド入力時

AP	動作
ハイ・レベル	すべてのバンクのプリチャージが開始されます (オール・バンク・プリチャージ)。
ロウ・レベル	バンク・アドレスで選択されたバンクだけプリチャージが開始されます

リード・コマンド, ライト・コマンド入力時

AP	動作
ハイ・レベル	バースト・アクセス後、自動的にプリチャージが開始されます (オート・プリチャージ)。
ロウ・レベル	プリチャージを行うためには、プリチャージ・コマンドを 入力する必要があります。

表1-1 アドレス端子

品名	アドレス端子	ロウ・アドレス	カラム・アドレス	BA	AP
μPD45128441	A0-A13	A0-A11	A0-A9, A11	A12, A13	A10
μPD45128841	A0-A13	A0-A11	A0-A9	A12, A13	A10
μPD45128163	A0-A13	A0-A11	A0-A8	A12, A13	A10
μPD4564441	A0-A13	A0-A11	A0-A9	A12, A13	A10
μPD4564841	A0-A13	A0-A11	A0-A8	A12, A13	A10
μPD4564163	A0-A13	A0-A11	A0-A7	A12, A13	A10

## 1.2.8 DQM0-DQM3 入力

DQM は、入出力バッファの制御に使用します。

### (1) リード・モード（出力）

DQM は出力バッファの制御に使用し、従来の/OE 端子の機能と同じです。

ハイ・レベル：出力バッファがオフ

ロウ・レベル：出力バッファがオン

リードの DQM レーテンシは2クロックです。

### (2) ライト・モード（入力）

DQM はワード・マスクの制御に使用されます。

ハイ・レベル：入力データがメモリ・セルに書き込まれません。

ロウ・レベル：入力データがメモリ・セルに書き込まれます。

ライトの DQM レーテンシはゼロです。

表1-2 DQM端子

ビット構成	端子名	制御端子	品名
x4 ビット	DQM	DQ0-DQ3	μPD45128441
x8 ビット	DQM	DQ0-DQ7	μPD45128841
x16 ビット	LDQM	DQ0-DQ7	μPD45128163
	UDQM	DQ8-DQ15	
x32 ビット	DQM0	DQ0-DQ7	μPD4564323
	DQM1	DQ8-DQ15	
	DQM2	DQ16-DQ25	
	DQM3	DQ26-DQ31	

備考 DQM レーテンシとは、DQM をハイ・レベルにしてから入出力バッファの制御が行われるまでのクロック数です。

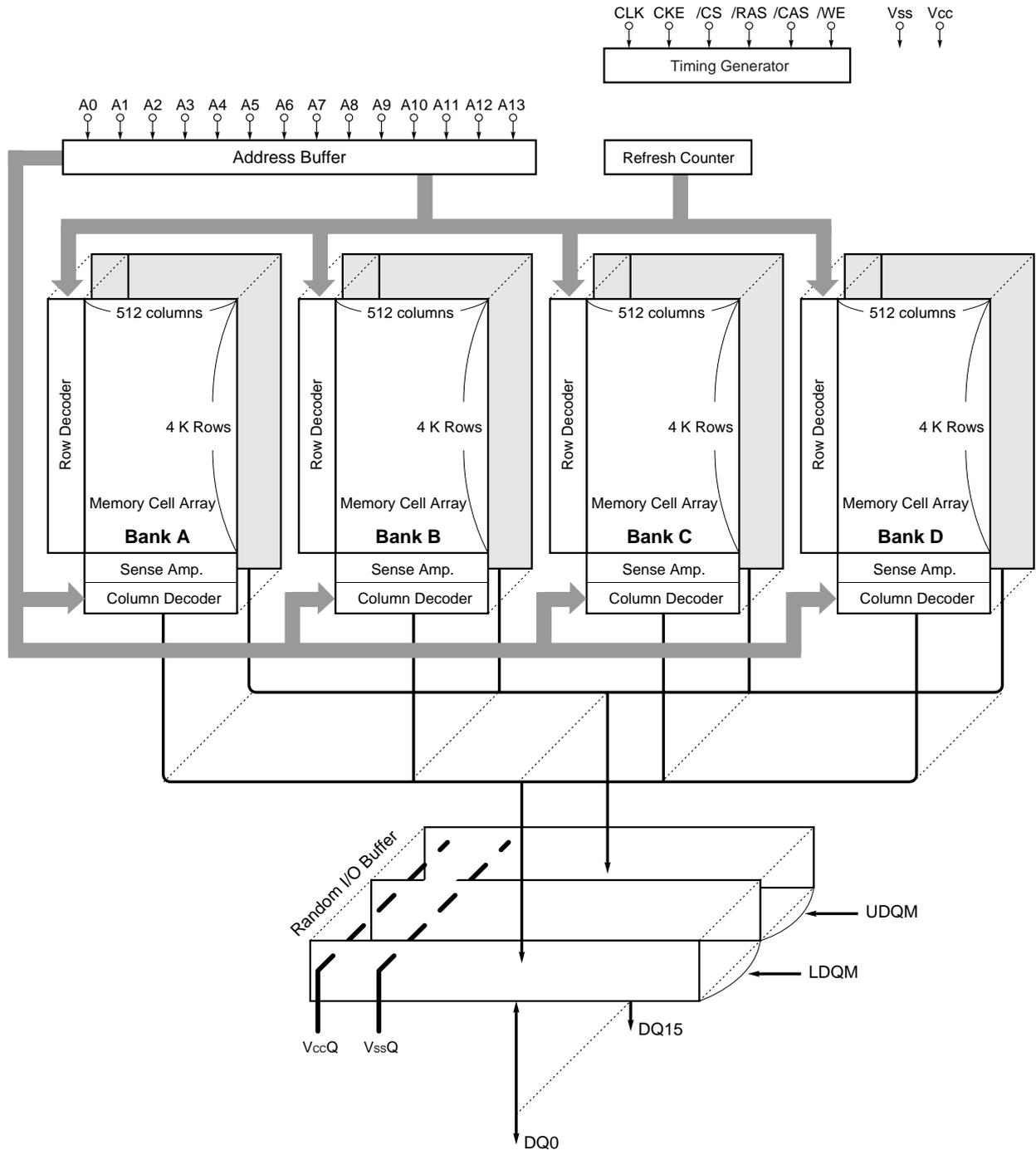
## 1.2.9 DQ0-DQx入出力

DQ 端子の機能は、従来型 DRAM の I/O 端子の機能と同じです。

## 1.3 ブロック図

### 1.3.1 128M SDRAM ( $\mu$ PD45128163)のブロック図

図1 - 2 128M SDRAM( $\mu$ PD45128163) のブロック図



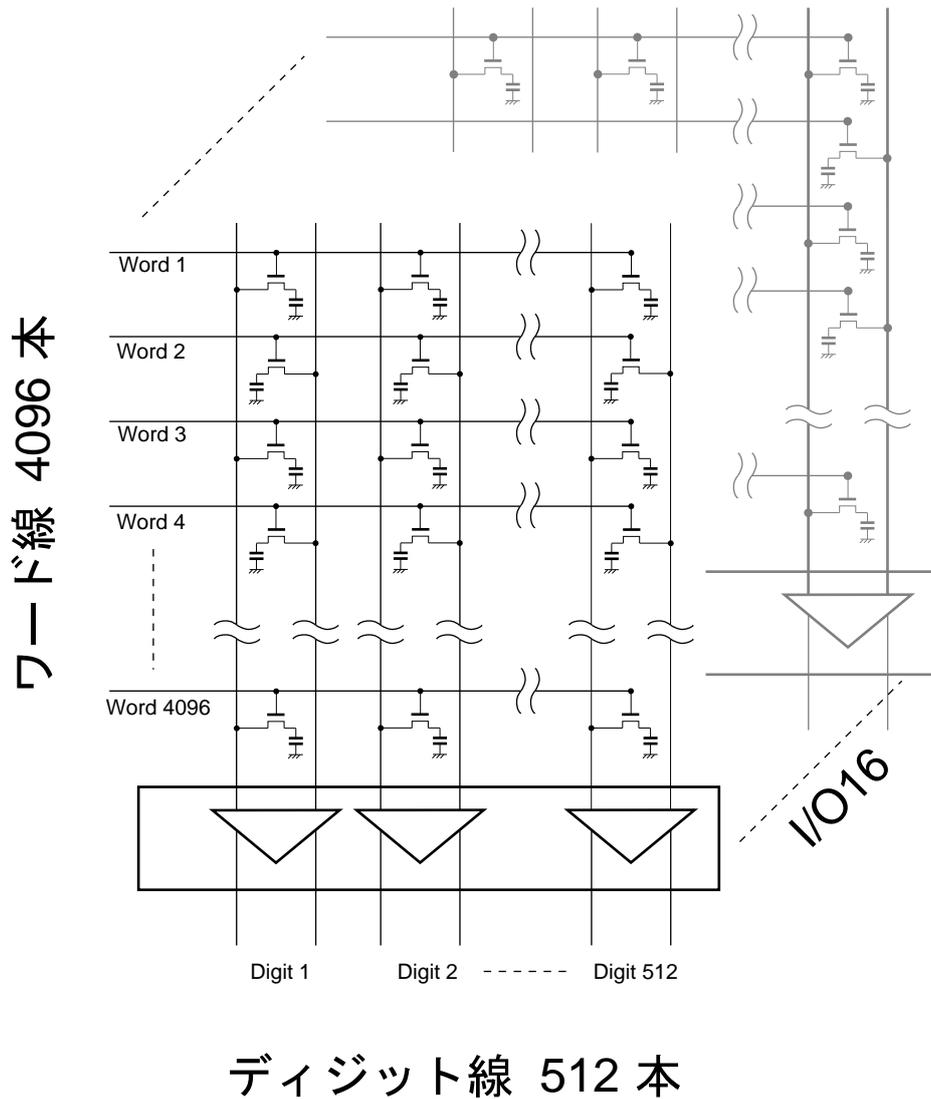
## 1.4 ブロック図説明

### 1.4.1 128M SDRAM ( $\mu$ PD45128163)のメモリ・セル・アレイ

メモリ・セルの回路構成は汎用 DRAM と同じで、1 トランジスタ + 1 コンデンサで構成されています。

$\mu$ PD45128163 (x16 ビット構成)は総容量 128 M ビットで、ワード線 4,096 本 x デジット線 512 本 x 16 I/O x 4 バンクで構成されています。

図1-3 メモリ・セルとメモリ構成 (128M SDRAM)



### 1.4.2 アドレス (Row,Column) デコーダ

これらの製品はアドレス・マルチプレクス方式を採用しています。あるアドレスをデコードするためには、アクティブ・コマンドと同時にバンク・セレクト信号とロウ・アドレスを取り込み、該当するワード線を選択します。次に、リード・コマンドあるいはライト・コマンドと同時にバンク・セレクト信号とカラム・アドレスを取り込み、該当するディジット線を選択し、任意のアドレスをデコードします。

### 1.4.3 I/Oバッファ

データ入出力用のバッファです。

### 1.4.4 リフレッシュ・カウンタ

このカウンタにより自動的にロウ・アドレスがメモリ内部でカウントされます。

## 第 2 章 製品の特徴

エルピーダメモリの SDRAM は 3.3V の低電圧で、133 MHz クラスのシステム・クロックに同期し、高速に連続データ・アクセスが可能です。

この章では SDRAM の基本的な特徴を次の項目ごとに説明します。

- (1) クロック同期動作
- (2) コマンドによる制御
- (3) 複数バンク構成
- (4) バースト転送
- (5) 汎用 DRAM との比較

## 2.1 クロック同期動作

SDRAM は基本となる入力クロック (CLK) の立ち上がりエッジで各制御信号をラッチし, 入力クロック (CLK) に同期してデータの入出力を行います。このことにより, 高速時のタイミング設計が容易となります。次に基本となる入力クロックと各制御信号 (コマンド) および入出力データ (DQ) のタイミング例を示します。

図2-1 リード・サイクル・タイミング

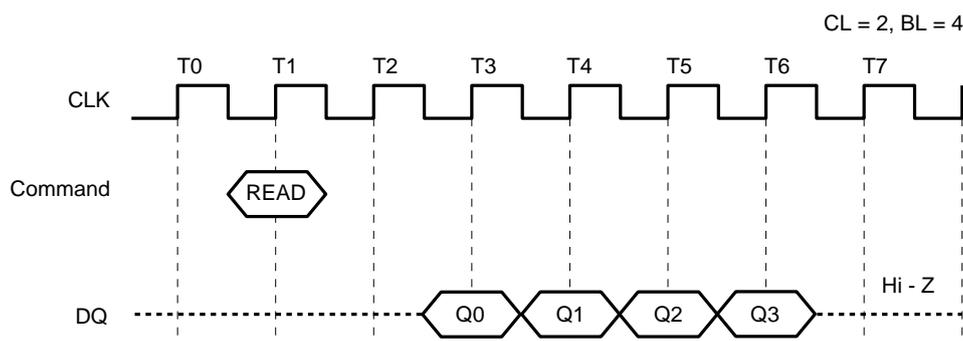
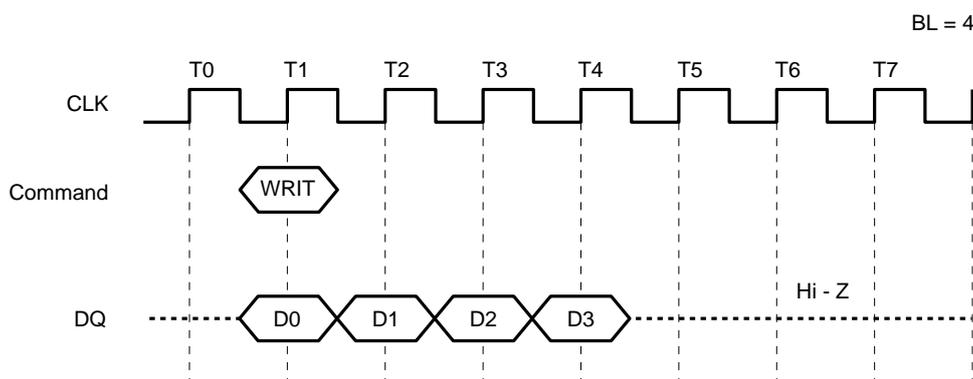


図2-2 ライト・サイクル・タイミング



備考 CL : /CAS Latency

BL : Burst Length

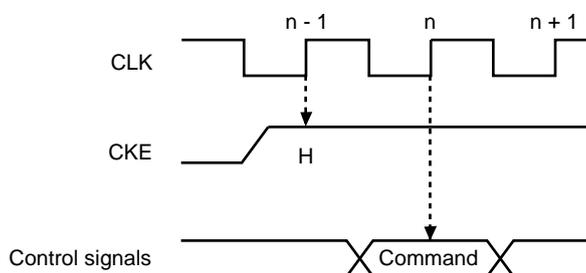
## 2.2 コマンドによる制御

SDRAM では、制御信号を論理レベルで組み合わせたものをコマンドと呼びます。代表的なコマンドにはアクティブ・コマンド、リード・コマンド、ライト・コマンド、プリチャージ・コマンドなどがあります。汎用 DRAM の制御でも、制御信号を論理レベルで組み合わせますが、コマンドの概念はありません。128M SDRAM のコマンド一覧を次頁に示します。なお、コマンド動作例は 第7章 以降で説明しています。

### 2.2.1 コマンド入力タイミング

すべてのコマンドは CLK の立ち上がりエッジに同期してラッチされます。また、CLK を活性化するための信号として CKE があります。コマンドを入力する際、CKE には、CLK “n”（CLK の立ち上がり）より 1 つ前の CLK “n-1” のタイミングで、ハイ・レベルを入力する必要があります。

図2-3 コマンド入力タイミング



## 2.2.2 SDRAMコマンド一覧

次に 128M SDRAM のコマンド一覧を示します。

表2 - 1 128M SDRAM(x4/ x8/ x16ビット構成)コマンド一覧表

No	コマンド	略号	CKE		/CS	/RAS	/CAS	/WE	DQM	Address		
			n-1	n						BA0, BA1	A10	A11, A9-A0
1	モード・レジスタ設定	MRS	H	x	L	L	L	L	x	L	L	V
2	CBR (オート) リフレッシュ	REF	H	H	L	L	L	H	x	x	x	x
3	セルフ・リフレッシュ開始	SELF	H	L	L	L	L	H	x	x	x	x
4	セルフ・リフレッシュ終了	-	L	H	L	H	H	H	x	x	x	x
			L	H	H	x	x	x	x	x	x	x
5	選択バンクのプリチャージ	PRE	H	x	L	L	H	L	x	V	L	x
6	全バンクのプリチャージ	PALL	H	x	L	L	H	L	x	x	H	x
7	バンク・アクティブ	ACT	H	x	L	L	H	H	x	V	V	V
8	ライト	WRIT	H	x	L	H	L	L	x	V	L	V
9	ライト (オート・プリチャージ付き)	WRITA	H	x	L	H	L	L	x	V	H	V
10	リード	READ	H	x	L	H	L	H	x	V	L	V
11	リード (オート・プリチャージ付き)	READA	H	x	L	H	L	H	x	V	H	V
12	バースト・ストップ	BST	H	x	L	H	H	L	x	x	x	x
13	ノー・オペレーション	NOP	H	x	L	H	H	H	x	x	x	x
14	デバイス非選択	DESL	H	x	H	x	x	x	x	x	x	x
15	データ入出力可能	-	H	x	x	x	x	x	L	x	x	x
16	データ・マスク	-	H	x	x	x	x	x	H	x	x	x

備考 H: ハイ・レベル, L: ロウ・レベル, x: ハイ・レベルまたはロウ・レベル (Don't care),

V: 有効データ

## 2.3 複数バンク構成

SDRAM はチップ内部（アドレス・デコーダ部，メモリ・セル・アレイ部，センス・アンプ部）を複数のバンクに分割し，各バンクを独立して制御することができます。この構成により，各バンクのインタリーブ動作を活用することで，あるバンクがプリチャージ期間でも，別のバンクに対してアクセスが可能となります。

### 2.3.1 4バンク構成

4バンク構成の製品では，チップ内部がA，B，C，Dの4つのバンクに分かれています。この4つのバンクはバンク・アドレス（BA0，BA1）によって選択されます。

次に，4バンク構成の概略図を汎用DRAMとの比較を用いて示します。

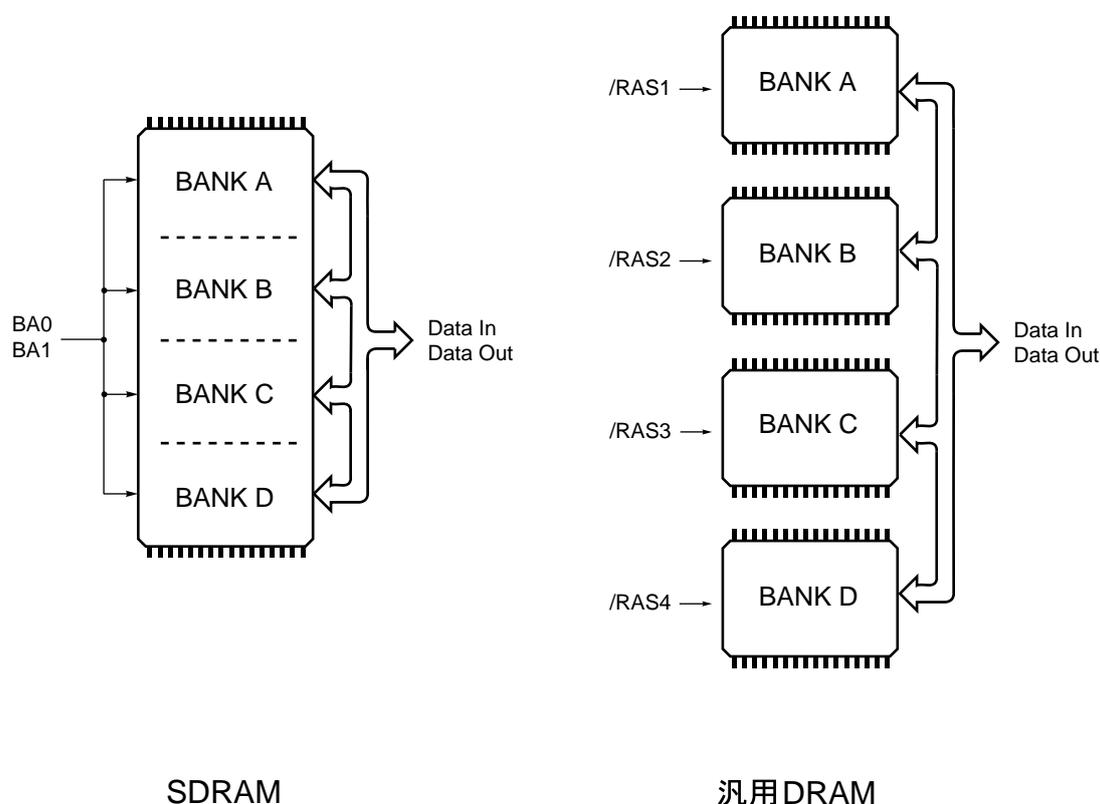
#### (1) 汎用DRAMの場合

4バンクを構成するためには，デバイスが4個必要で，この4つのバンク（単体）は /RAS 信号によって選択します。

#### (2) SDRAMの場合

デバイスの中に4つのバンクを持つため，1個のデバイスで4バンクを構成できます。

図2-4 4バンク構成



## 2.4 バースト転送

SDRAM はメモリ内部でパイプライン処理を行っているので、外部クロックに同期して、ある決まった数のメモリ・データを連続して入出力できます。

パイプライン処理とは、データ転送能力を高めるために、カラム・アドレス入力からデータ入出力までの動作をいくつかのブロックに分割して、各ブロックを並列して実行する方式のことです。

図 2 - 5 は 3 段階のパイプライン・アーキテクチャの概念を汎用 DRAM と比較して説明しています。

### (1) 汎用 DRAM

アドレス入力からデータ出力までの一連の動作が完了するまで、次の動作に移ることはできません。

### (2) SDRAM

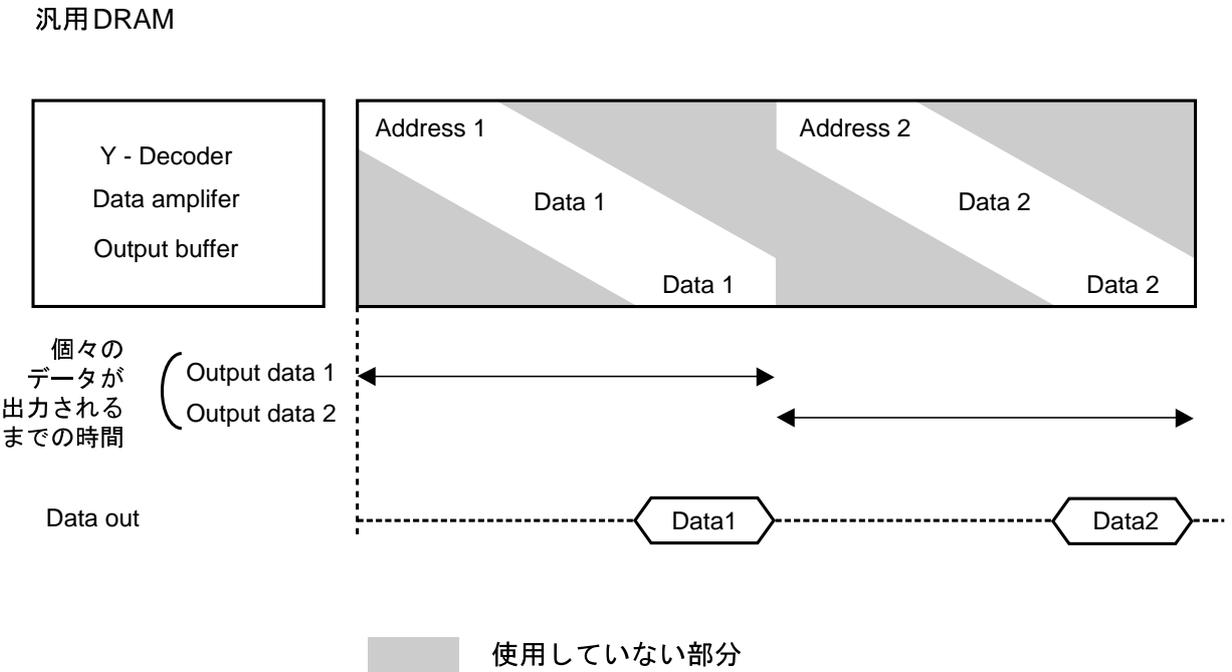
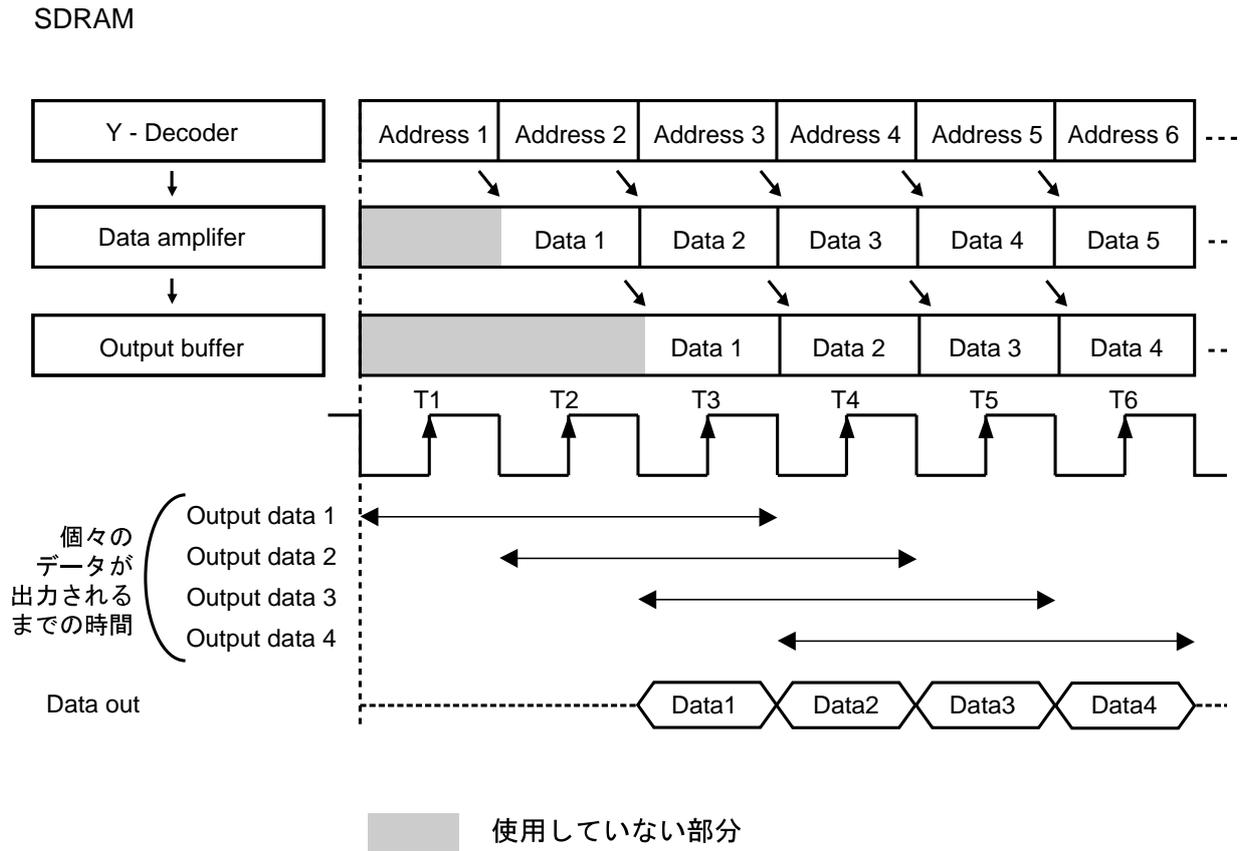
カラム動作を 3 つの動作ブロックに分割して、1 つの動作ブロックが完了した時点で、次の動作ブロックに移ることができます。また、カラム・アドレスを入力すると、チップ内部のカラム・アドレス・カウンタはクロックに同期して内部のカラム・アドレスを自動的にインクリメントします。インクリメントの数はバースト長によって決まります。このような内部構造により、連続したアドレスのデータをリード、ライトできます。

### (3) 汎用 DRAM と SDRAM との比較

汎用 DRAM と SDRAM では最初のデータが出力されるのにかかる時間は同じです。

複数のデータを連続して入出力した場合、(2) のように並列処理を行っている SDRAM では高速データ転送が可能となります。

図2-5 パイプライン・アーキテクチャ



## 2.5 汎用DRAMとの比較

### 2.5.1 DRAMの高速化

下の図は、SDRAM と EDO DRAM のアクセス時間を比較しています。

/RAS アクセス時間（ランダム・アクセス時間）には大きな時間の差が見られませんが、SDRAM のバースト・サイクル時間は EDO DRAM のバースト・サイクル時間よりもはるかに速くなります。

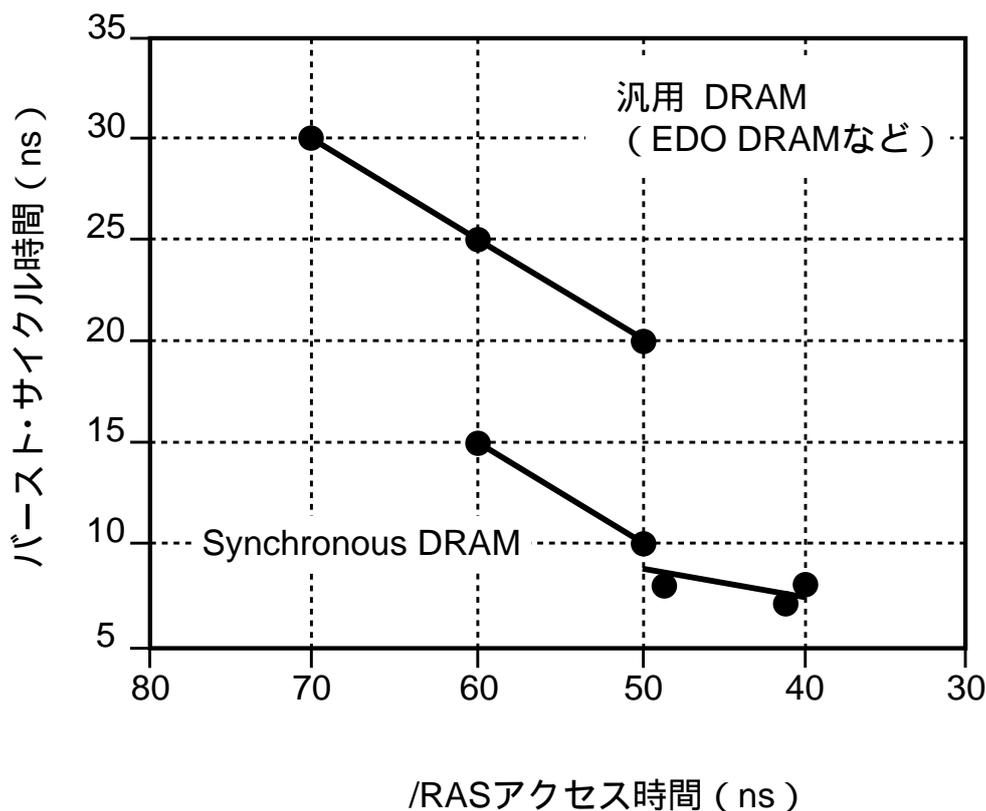
SDRAM と EDO DRAM の/RAS アクセス時間に大差がないのはメモリ内部の基本構成がほぼ同じであるためです。

しかし、SDRAM は、汎用 DRAM とは異なるパイプライン方式などの技術を採用することにより、バースト・サイクル時間を汎用 DRAM より高速にできます。

バースト・サイクル時間を比較すると、EDO DRAM は 66 MHz（15 ns）のクロックに同期することが一般的ですが、現在、SDRAM では 133 MHz（7.5 ns）のクロックに同期させることが可能で、200 MHz 以上のクロックに同期させることも現在検討中です。

今後、クロック・システムの高速度が進み、75 MHz 以上のメモリ・クロックのシステムを設計する際には、EDO DRAM でなく SDRAM を採用することで、システムの性能を向上できます。

図2 - 6 DRAMの高速化



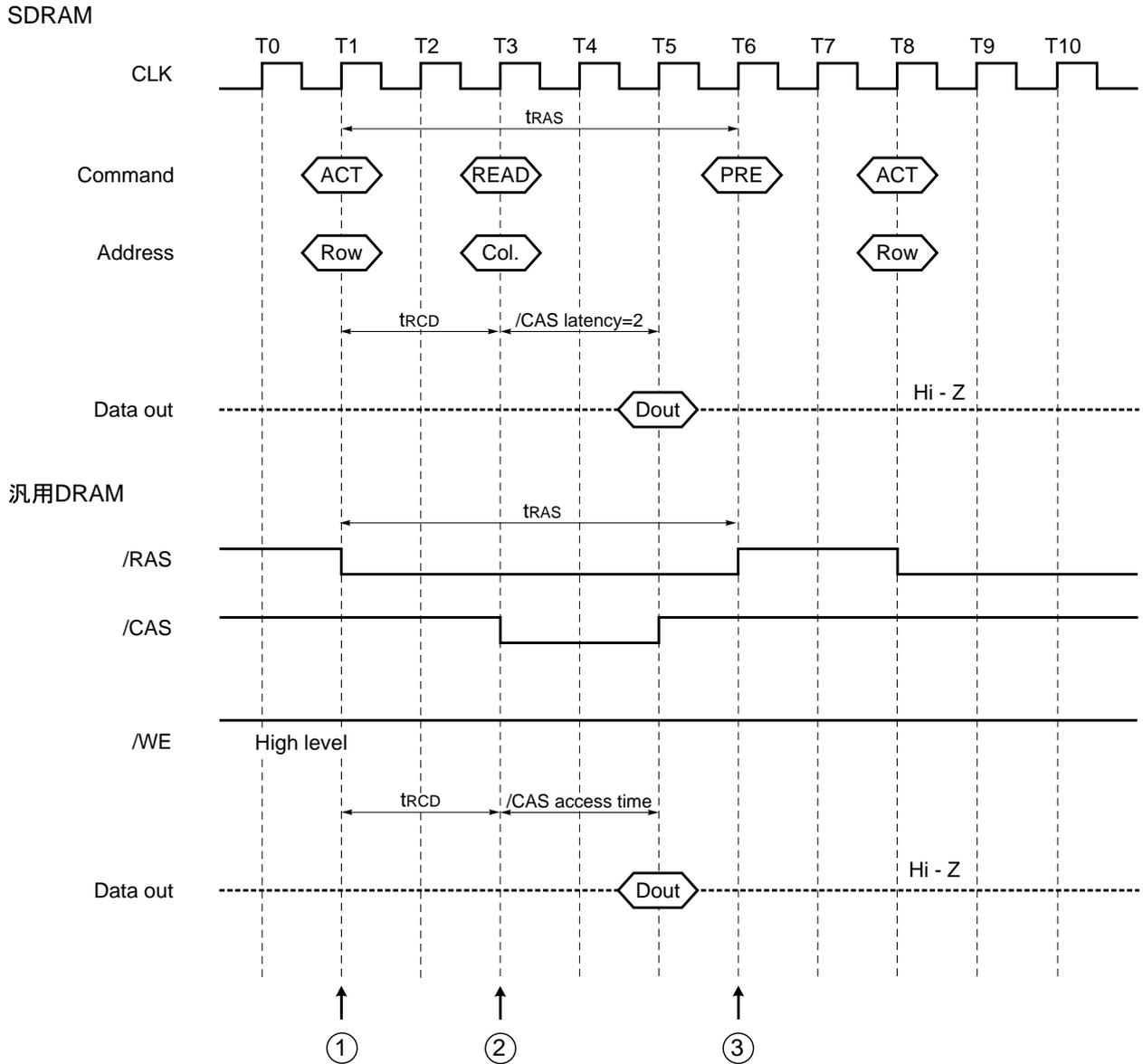
**備考** バースト・サイクル時間とは、DRAM では/CAS サイクル時間、SDRAM ではクロック・サイクル時間を示します。

## 2.5.2 基本的な制御方法とアクセス時間

リード・サイクルを例に実際の制御方法について説明します。

### (1) 基本的な制御方法

図2-7 SDRAMと汎用DRAMのリード・サイクル



**注意** 汎用 DRAM は非同期です。

**(a) タイミング**

- SDRAM : アクティブ・コマンド (ACT) の入力  
汎用 DRAM : /CAS 信号がハイ・レベルのとき,  
/RAS 信号をハイ・レベルからロウ・レベルに変化する状態

**(b) タイミング**

- SDRAM : リード・コマンド (READ) の入力  
汎用 DRAM : /RAS 信号がロウ・レベル, /WE 信号がハイ・レベルのとき,  
/CAS 信号をハイ・レベルからロウ・レベルに変化する状態

- SDRAM : /CAS レーテンシ  
(カラム・アドレス信号をラッチしてから有効データが出力するまでのクロック数)  
汎用 DRAM : /CAS アクセス時間

- SDRAM : バースト長 (連続出力されるデータのワード数) の入力  
汎用 DRAM : ページ・モード・サイクル数

**(c) タイミング**

- SDRAM : プリチャージ・コマンド (PRE) の入力  
汎用 DRAM : /RAS 信号と/CAS 信号をロウ・レベルからハイ・レベルに変化する状態

(2) アクセス時間

次の図は、バースト長 = 4 の時のバースト・リード・サイクルをあらわしています。SDRAM のクロック速度を 66 MHz と仮定し、この SDRAM と /RAS アクセス時間が 60 ns の EDO DRAM のアクセス時間を比較しています。

図2 - 8 バースト・リード・サイクル

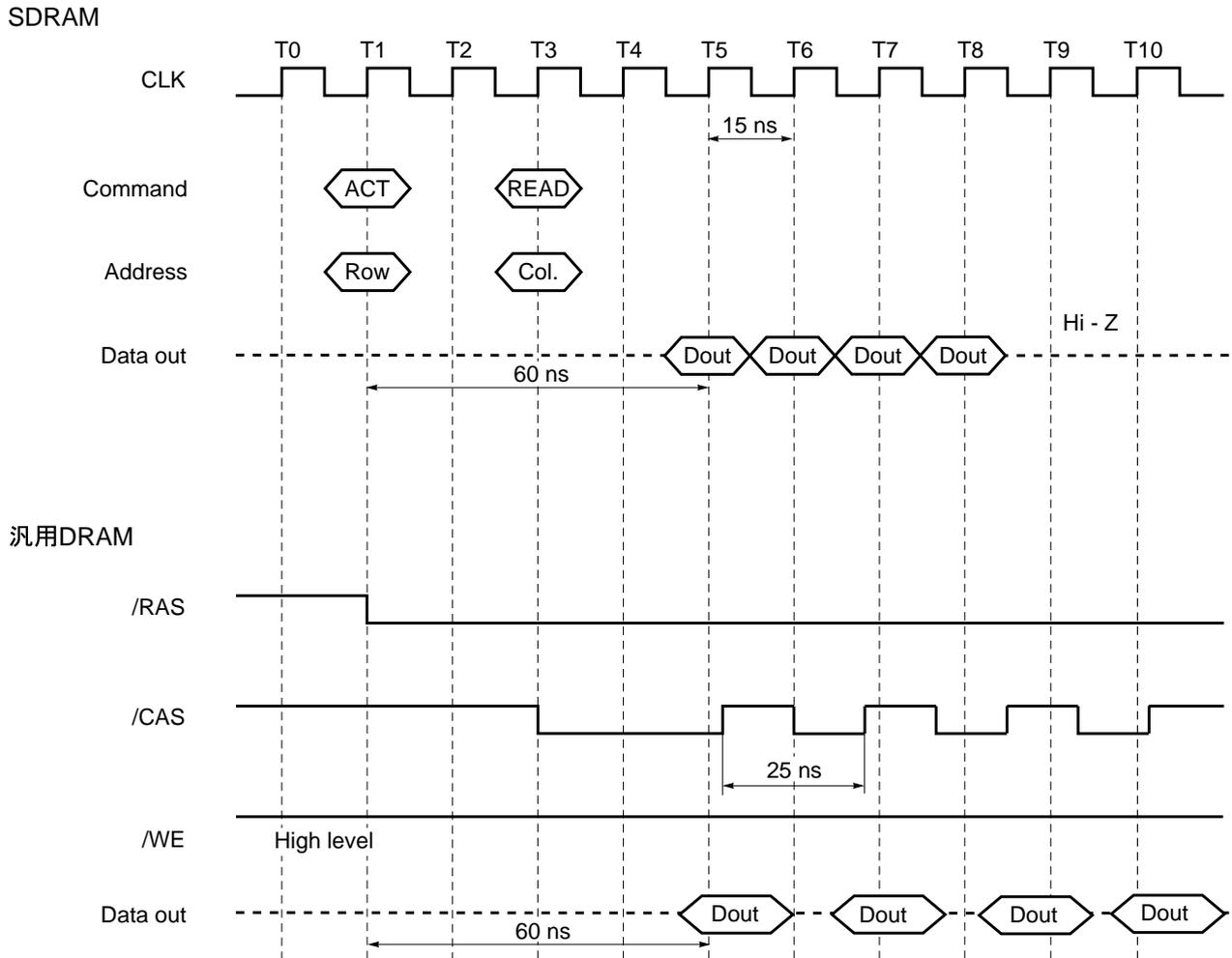


表2 - 2 SDRAMとEDO DRAMのアクセス時間の比較

アクセス時間	SDRAM	EDO DRAM	比較
第 1 アクセス時間	60 ns	60 ns	同 じ
第 2 アクセス時間	75 ns	85 ns	10 ns ほど SDRAM の方が速い。
第 3 アクセス時間	90 ns	110 ns	20 ns ほど SDRAM の方が速い。
第 4 アクセス時間	105 ns	135 ns	30 ns ほど SDRAM の方が速い。

第 1 アクセスは、SDRAM、EDO DRAM と同じですが、バースト長を長くするにつれ、SDRAM の転送速度は高速になります。

次の表は、各種 SDRAM と各種 EDO DRAM のアクセス時間を示しています。

表2 - 3 SDRAMとEDO DRAMのアクセス時間

	グレード	第1アクセス	第2アクセス	第3アクセス	第4アクセス
SDRAM	133 MHz(7.5ns)	45 ns	52.5 ns	59 ns	66.5 ns
	125 MHz(8ns)	48 ns	56 ns	64 ns	72 ns
	100 MHz(10ns)	50 ns	60 ns	70 ns	80 ns
	66 MHz(15ns)	60 ns	75 ns	90 ns	105 ns
EDO DRAM	-60	60 ns	85 ns	110 ns	135 ns
	-50	50 ns	70 ns	90 ns	110 ns

SDRAM : 100 MHz(10ns)と EDO DRAM : -50 では、第1アクセスは同じですが、第4アクセスになると SDRAM と EDO DRAM の差が明確になります。上記表は、バースト長=4 までしか記載していませんが、バースト長を長くするにつれ、SDRAM は EDO DRAM よりデータ転送能力が高くなります。

## 第3章 電源投入と初期化

電源投入直後は SDRAM 内部回路の論理状態が不定であり、正常な動作を確保するためには、初期化（イニシャライズ）を行う必要があります。SDRAM の電源投入、初期化の一連の動作は次の通りです。

### 電源投入

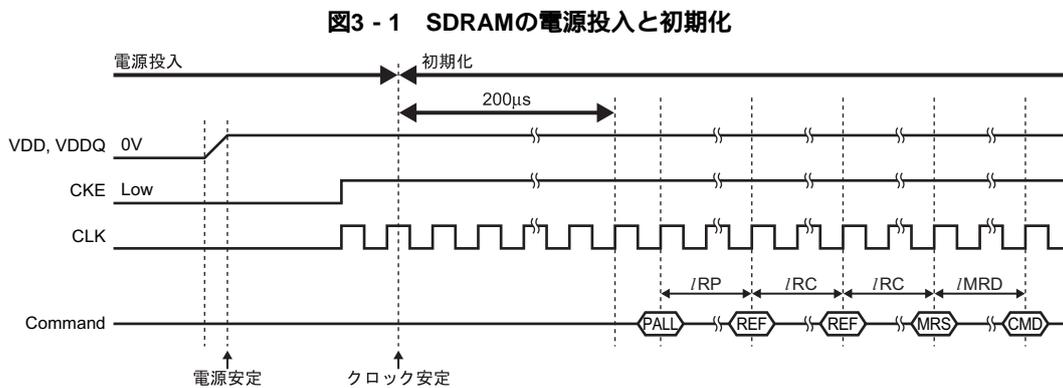
1. VDD, VDDQ を同時に投入します。このとき CKE はローレベルを保持します。
2. 電源安定を待ちます。
3. クロックを供給します。また、CKE をハイレベルにします。

**注意** 電源投入時は、入力ピンのレベルは  $VDD+0.3V$  を超えないようにして下さい。

### 初期化

4. 電源およびクロックの安定後、最小  $200\mu s$  待ちます。
5. プリチャージオールコマンド(PALL)を発行します。
6.  $t_{RP}$  経過後、オート・リフレッシュ・コマンドを 8 回以上実行します。
7. モード・レジスタの初期設定のため、モード・レジスタ設定コマンドを実行します。

**備考** 初期化シーケンス中は、出力がハイ・インピーダンス状態であることを保証するため、CKE と DQM をハイレベルの状態に保持することを推奨します。



## 第4章 基本設定（モード・レジスタ設定）

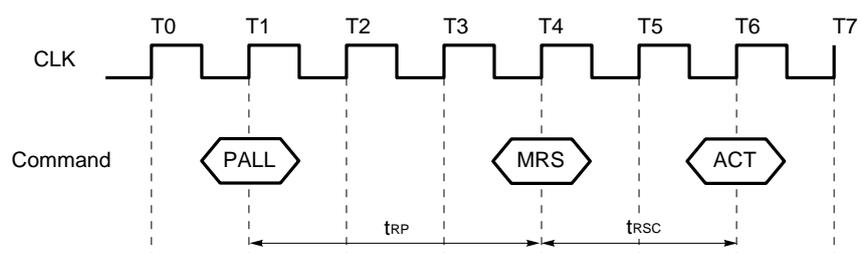
### 4.1 モード・レジスタ設定

モード・レジスタには、レーテンシ・モード、ラップ・タイプ、バースト長などの SDRAM の動作モードを設定します。その際、アドレス A0 - Ax を入力データとして使用します。モード・レジスタは、いったん設定すると、再設定するか電源を切断するまで、設定したデータを保持します。

#### 4.1.1 設定方法

1. 全バンクにプリチャージ・コマンドを実行  
全バンクをアイドル状態にします。
2. モード・レジスタ設定コマンドを実行

図4-1 モード・レジスタ設定サイクル



#### 4.1.2 設定項目

モード・レジスタは4つに区分することができます。

- (1) A0 - A2 : バースト長の設定
- (2) A3 : ラップ・タイプの設定
- (3) A4 - A6 : /CAS レーテンシの設定
- (4) A7 - Ax : オプション

## (1) バースト長の設定

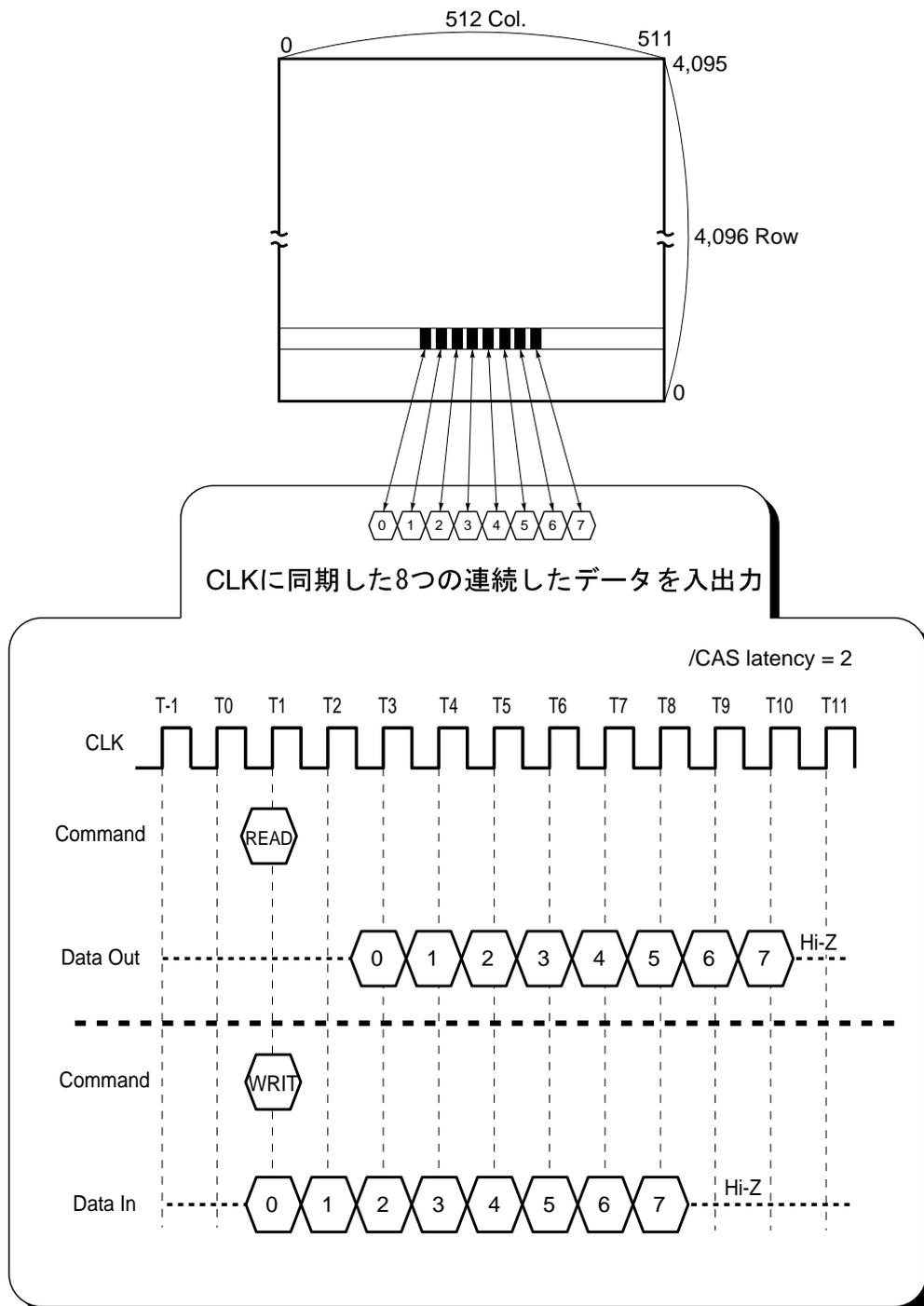
バースト長とは、連続して入力、出力可能なデータの個数です。バースト長は、1,2,4,8,フル・ページが選択できます。

例1) バースト長：8の場合

1回のコマンド入力により、8カラム分のデータを連続して入出力します。

リード・バーストを終了すると、データ・バスはハイ・インピーダンス状態になります。

図4-2 バースト長：8の場合のリード/ライト・サイクル



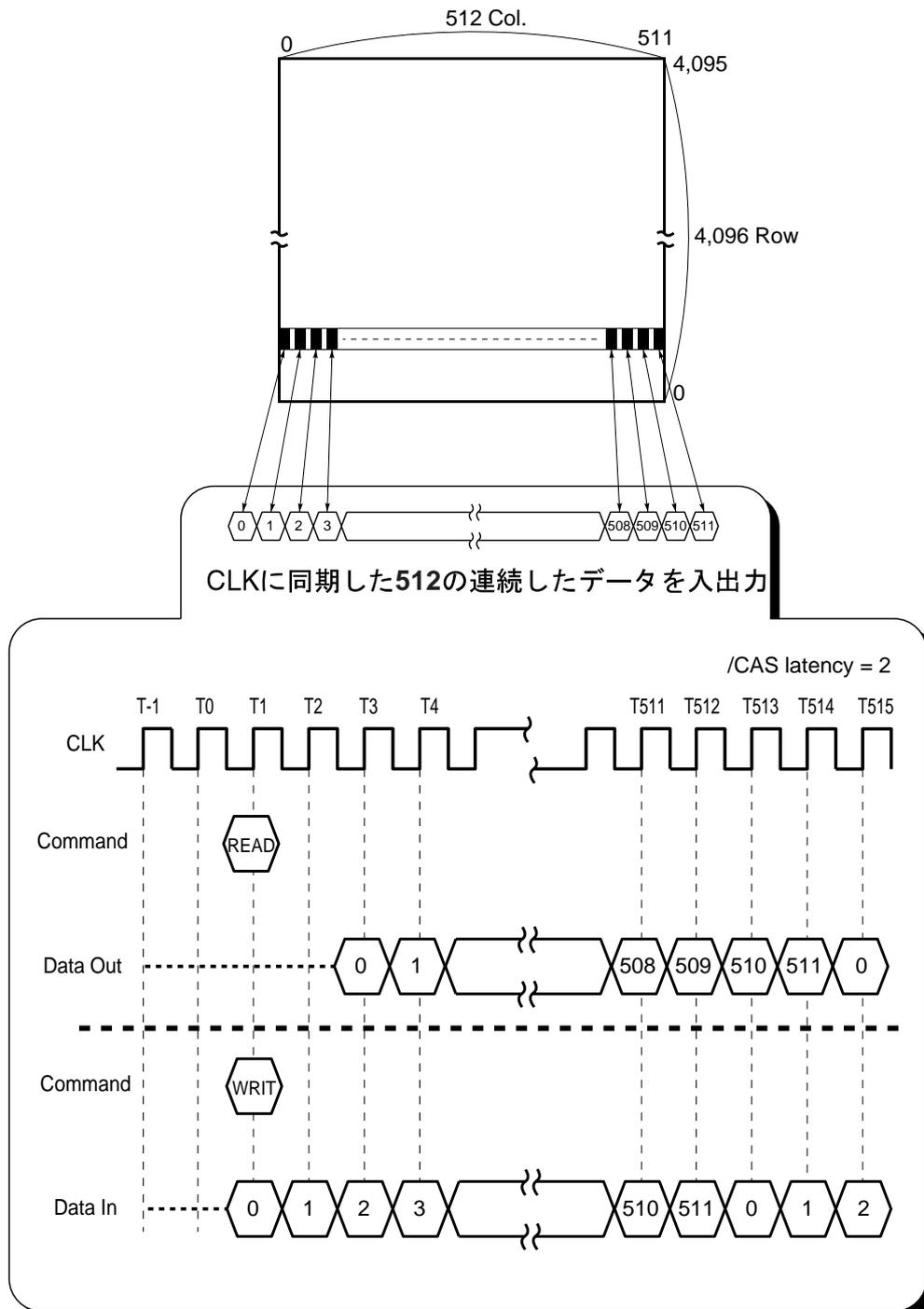
例2) バースト長: フル・ページ (512) の場合

1回のコマンド入力により、フル・ページ分のデータを連続して入出力します。

このとき、入出力データはラップ・アラウンド動作をするため、データの入出力を止める場合、バースト・ストップ・コマンド、リード/ライト・コマンド、プリチャージ・コマンドを用いて止める必要があります。

なお、バースト長をフル・ページに設定した場合、オート・プリチャージ付きリード/ライト・コマンドを入力しないでください。

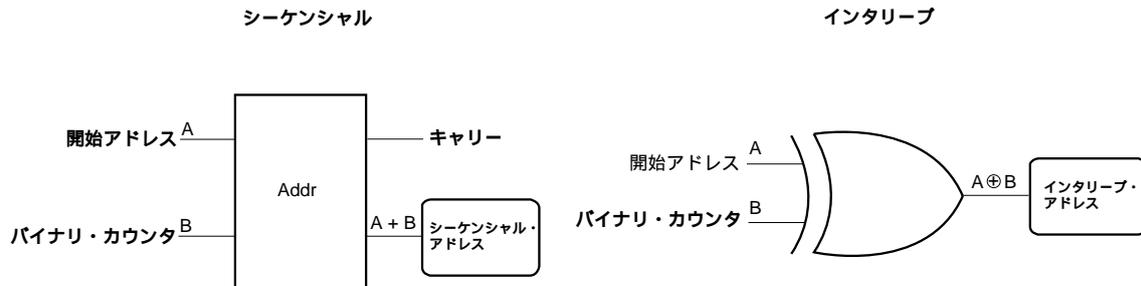
図4-3 バースト長: フル・ページ (512) の場合のリード/ライト・サイクル



## (2) ラップ・タイプの設定

ラップ・タイプは、バースト・データのアドレスがインクリメントされる順序を指定します。SDRAMでは、シーケンシャル・タイプとインタリーブ・タイプをサポートしています。A3 = 0 のときは、シーケンシャル、A3 = 1 のときは、インタリーブの設定となります。どちらを選択するかは、各システムで使用している CPU のタイプによって決まります。

図4-4 ラップ・タイプ



## バースト長とアドレッシング順序

各バースト長での開始カラム・アドレスとアドレッシングの順序を示します。

## [2 バースト]

開始アドレス (カラム・アドレス A0, 2進数)	シーケンシャル・ アドレッシングでの順序 (10進数)	インタリーブ・ アドレッシングでの順序 (10進数)
0	0, 1	0, 1
1	1, 0	1, 0

## [4 バースト]

開始アドレス (カラム・アドレス A1 - A0, 2進数)	シーケンシャル・ アドレッシングでの順序 (10進数)	インタリーブ・ アドレッシングでの順序 (10進数)
00	0, 1, 2, 3	0, 1, 2, 3
01	1, 2, 3, 0	1, 0, 3, 2
10	2, 3, 0, 1	2, 3, 0, 1
11	3, 0, 1, 2	3, 2, 1, 0

## [8 バースト]

開始アドレス (カラム・アドレス A2 - A0, 2進数)	シーケンシャル・ アドレッシングでの順序 (10進数)	インタリーブ・ アドレッシングでの順序 (10進数)
000	0, 1, 2, 3, 4, 5, 6, 7	0, 1, 2, 3, 4, 5, 6, 7
001	1, 2, 3, 4, 5, 6, 7, 0	1, 0, 3, 2, 5, 4, 7, 6
010	2, 3, 4, 5, 6, 7, 0, 1	2, 3, 0, 1, 6, 7, 4, 5
011	3, 4, 5, 6, 7, 0, 1, 2	3, 2, 1, 0, 7, 6, 5, 4
100	4, 5, 6, 7, 0, 1, 2, 3	4, 5, 6, 7, 0, 1, 2, 3
101	5, 6, 7, 0, 1, 2, 3, 4	5, 4, 7, 6, 1, 0, 3, 2
110	6, 7, 0, 1, 2, 3, 4, 5	6, 7, 4, 5, 2, 3, 0, 1
111	7, 0, 1, 2, 3, 4, 5, 6	7, 6, 5, 4, 3, 2, 1, 0

[フル・ページ・バースト (カラム長 : 512)]

開始アドレス (カラム・アドレス A8 - A0, 2進数)	シーケンシャル・ アドレッシングでの順序 (10進数)
000000000	0, 1, 2, 3, 4, 5, 6, 7, 8, 9, 10, ..... 506, 507, 508, 509, 510, 511
000000001	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, ..... 506, 507, 508, 509, 510, 511, 0
000000010	2, 3, 4, 5, 6, 7, 8, 9, 10, ..... 506, 507, 508, 509, 510, 511, 0, 1
000000011	3, 4, 5, 6, 7, 8, 9, 10, ..... 506, 507, 508, 509, 510, 511, 0, 1, 2
:	:
:	:
111111100	508, 509, 510, 511, 0, 1, 2, 3, 4, 5, 6, ..... 502, 503, 504, 505, 506, 507
111111101	509, 510, 511, 0, 1, 2, 3, 4, 5, 6, 7, ..... 503, 504, 505, 506, 507, 508
111111110	510, 511, 0, 1, 2, 3, 4, 5, 6, 7, 8, ..... 504, 505, 506, 507, 508, 509
111111111	511, 0, 1, 2, 3, 4, 5, 6, 7, 8, 9, ..... 505, 506, 507, 508, 509, 510

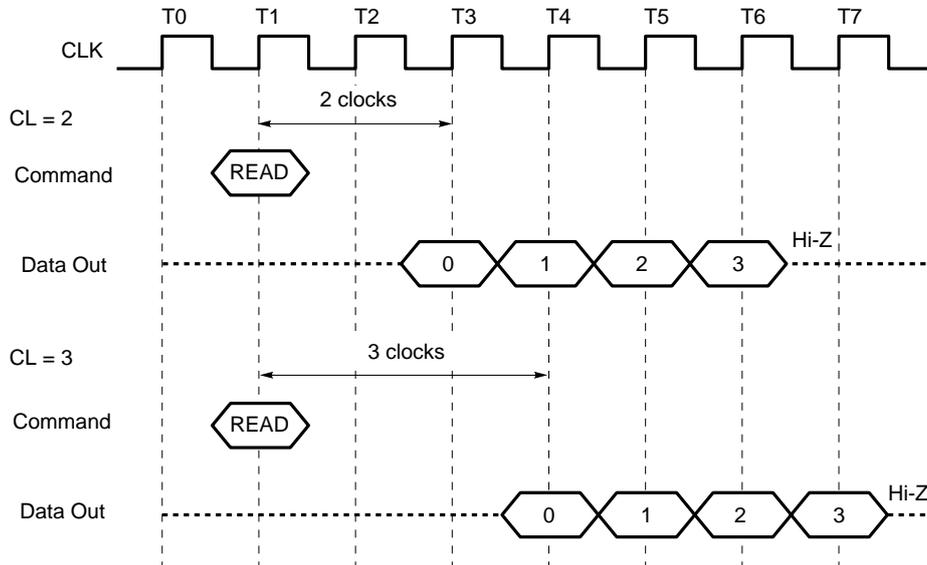
## 備考 カラム長

品 名	フル・カラム長
μPD45128441	2,048 カラム
μPD45128841	1,024 カラム
μPD45128163	512 カラム

## (3) /CAS レーテンシの設定

/CAS レーテンシは、リード・コマンドを入力してから、最初のデータが読み出されるまでのクロック数です。/CAS レーテンシの値は、クロックの動作周波数と SDRAM のスピード・グレードによって選択肢に制限があります。

図4-5 /CASレーテンシ=2と3のタイミング上の違い



## (4) オプション

モード・レジスタ設定コマンド入力時のアドレス A7-A13 の情報により、次のようにモードが変わります。

図4 - 6 モード・レジスタ内のオプション (128M SDRAMの場合)

13	12	11	10	9	8	7	6	5	4	3	2	1	0	JEDEC標準テスト・セット (リフレッシュ・カウンタ・テスト)
0	0	0	0	0	0	1								
13	12	11	10	9	8	7	6	5	4	3	2	1	0	バースト・リード&シングル・ライト (ライト・スルー・キャッシュ用)
x	x	x	x	1	0	0	LTMODE	WT				BL		
13	12	11	10	9	8	7	6	5	4	3	2	1	0	Use in future
					1	0								
13	12	11	10	9	8	7	6	5	4	3	2	1	0	ベンダ固有 (V:有効,X:Don't care)
x	x	x	x	x	1	1	V	V	V	V	V	V	V	
13	12	11	10	9	8	7	6	5	4	3	2	1	0	モード・レジスタ設定
0	0	0	0	0	0	0	LTMODE	WT				BL		

備考 x : Don't care

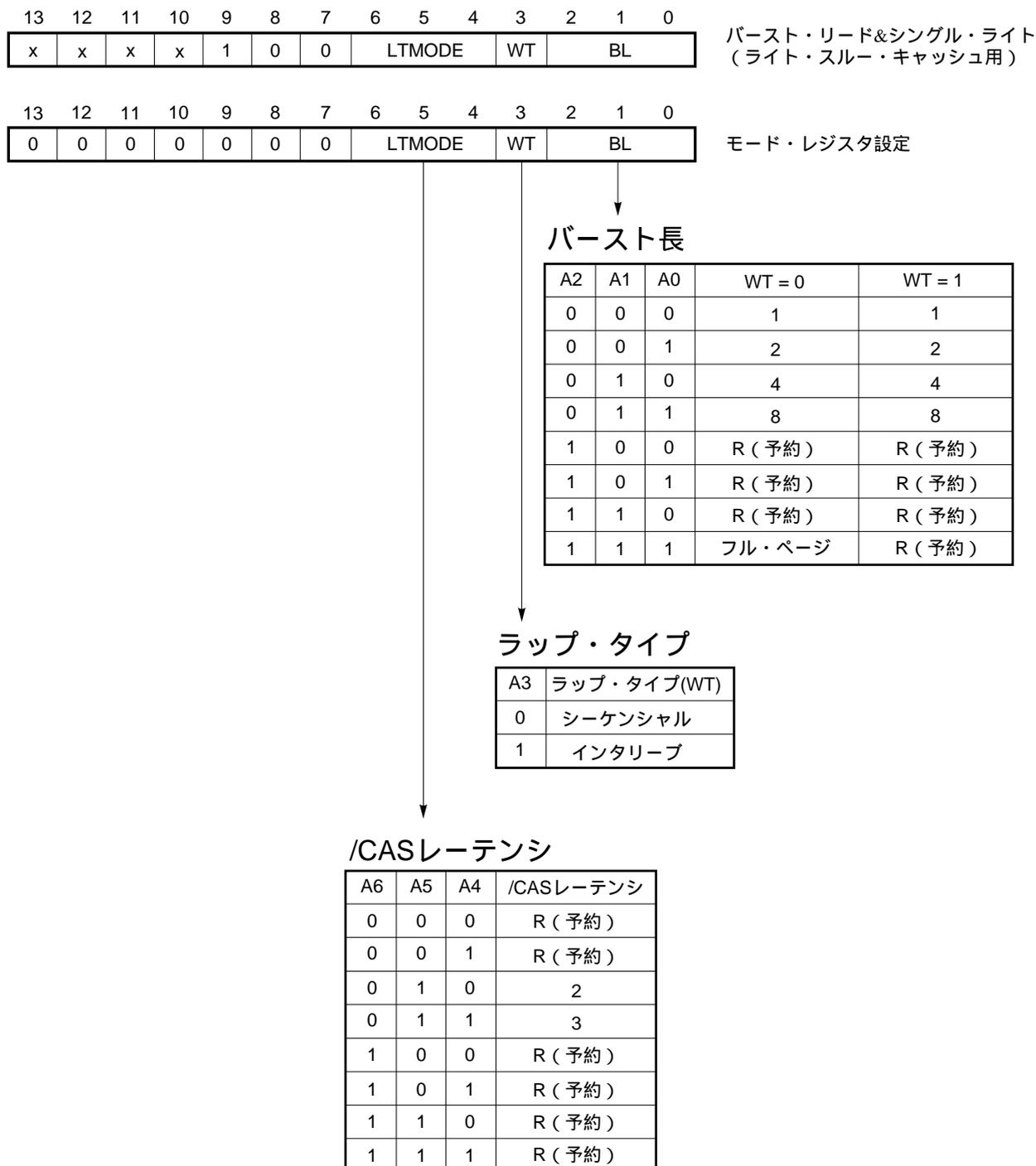
V : 有効

### 4.1.3 バースト長, ラップ・タイプ, /CASレーテンシの設定

バースト長, ラップ・タイプ, /CASレーテンシを設定するためには, モード・レジスタ設定コマンドでオプションをモード・レジスタ設定(A7 - A13: 0000000) にしてください。

バースト・リード, シングル・ライト(A7,A8,A9: 001) でも設定できますが, この場合, ライト・サイクルのバースト長が1になります。

図4-7 モード・レジスタのフィールド (128M SDRAMの場合)



## 第 5 章 状態遷移

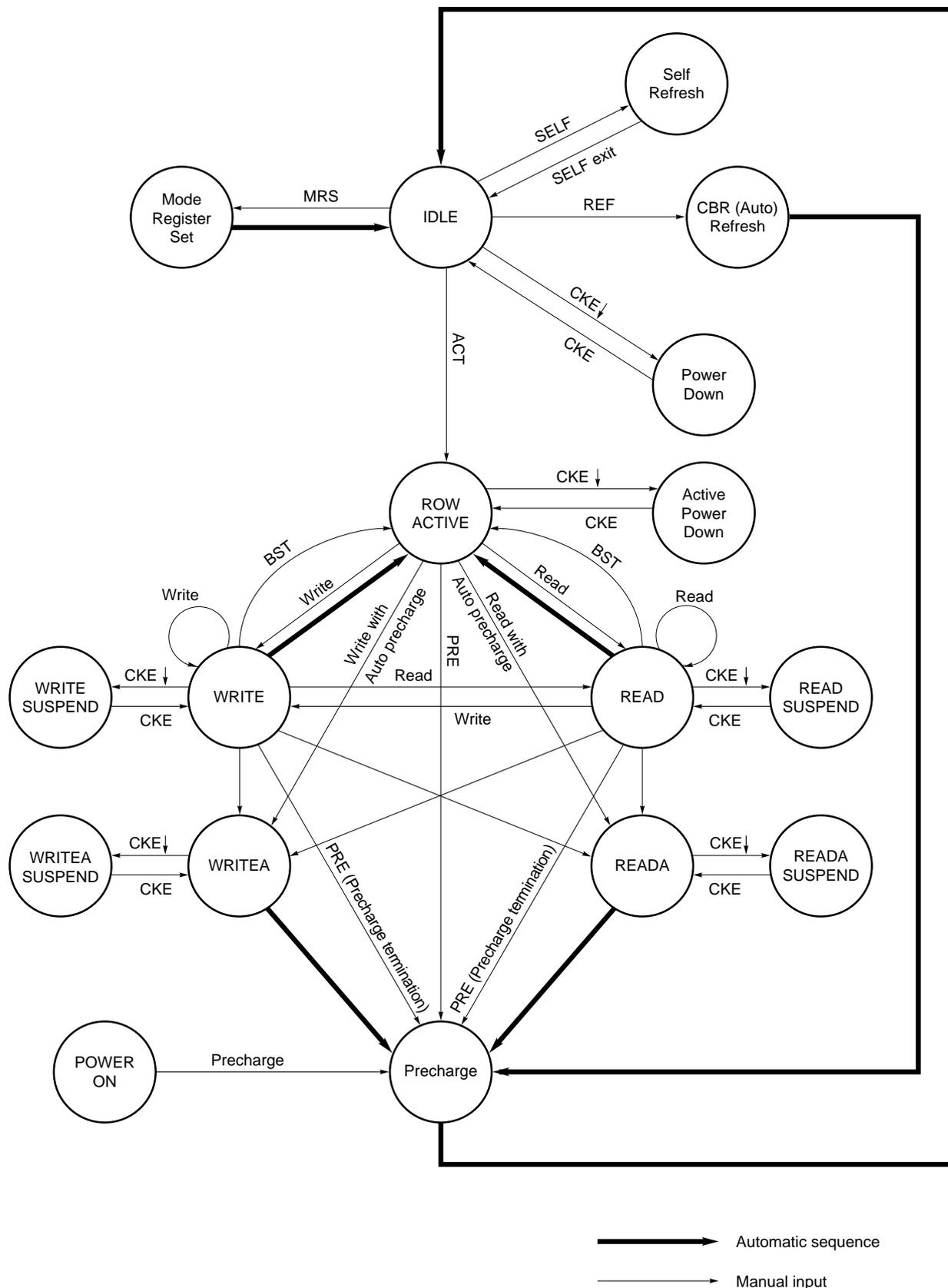
この章では SDRAM の状態遷移について説明します。

### 5.1 状態遷移図

図 5 - 1 に SDRAM の状態遷移図を示します。図の中の円はデバイスの状態を示し、矢印にそって、次の状態に移ることができます。

### 5.1.1 128M SDRAM ( $\mu$ PD45128163)の状態遷移図

図5 - 1 128M SDRAM ( $\mu$ PD45128163)の状態遷移図



## 5.2 状態説明

次に SDRAM の各状態について説明します。

### 5.2.1 アイドル

アイドル状態とはすべての動作を始めるときの起点となる状態です。アクティブ・コマンド、レジスタ設定コマンド、リフレッシュ・コマンド、などの入力にはデバイス（選択するバンク）がアイドル状態であることが条件です。

### 5.2.2 ロウ・アクティブ

ロウ・アクティブ状態とはロウ・アドレスが選択され、かつ動作要求（リード・コマンドやライト・コマンドなど）が行われていない状態のことです。アイドル状態から、ロウ・アクティブ状態に遷移するためには、選択したロウ・アドレスに対してアクティブ・コマンドを入力します。

### 5.2.3 プリチャージ

プリチャージ状態とは、現在のロウ・アドレスに対する動作を終了して、別のロウ・アドレスに対しての動作を開始するまでの状態のことです。プリチャージ・コマンドを入力すると、デバイスは自動的にアイドル状態に戻ります。

### 5.2.4 リード、ライト

リード、ライト状態とはリード動作、ライト動作を実行している状態のことです。ロウ・アクティブからこの状態に遷移するためには、選択したカラム・アドレスに対して、リード・コマンド、ライト・コマンドを入力します。また、リード動作、ライト動作が終了すると、デバイスは自動的にロウ・アクティブ状態に戻ります。

### 5.2.5 オート・プリチャージ付きリード、ライト

オート・プリチャージ付きのリード・コマンド、ライト・コマンドを入力した場合、デバイスはリード動作またはライト動作が終了すると、自動的にプリチャージを開始してアイドル状態に戻ります。

### 5.2.6 一時停止

リード動作中またはライト動作中（オート・プリチャージ付きリード，ライトも含む）に，CKE 端子がロウ・レベルになると，動作を一時停止します。

### 5.2.7 モード・レジスタ設定

モード・レジスタ設定コマンドはデバイスの全バンクがアイドル状態のときに実行可能です。モード・レジスタにデータの書き込みが終了すると，デバイスは自動的にアイドル状態に戻ります。

### 5.2.8 CBR（オート）リフレッシュ

CBR リフレッシュ・コマンドはデバイスの全バンクがアイドル状態のときに実行可能となります。CBR リフレッシュ・コマンドを入力すると，全バンクのあるロウ・アドレスが選択され，リフレッシュを実行します。CBR リフレッシュが終了すると，デバイスは自動的にアイドル状態に戻ります。

### 5.2.9 セルフ・リフレッシュ

セルフ・リフレッシュ・コマンドは CBR リフレッシュ・コマンドと同様にデバイスの全バンクがアイドル状態のときに実行可能となります。セルフ・リフレッシュ状態では，デバイスは自動的にリフレッシュを行います。この間リフレッシュ・コマンドを外部より実行する必要はありません。セルフ・リフレッシュ状態を抜けると，デバイスは自動的にアイドル状態に戻ります。

### 5.2.10 パワーダウン

アイドル状態またはロウ・アクティブ状態のとき，CKE をロウ・レベルにすると，パワーダウン・モードに入ります。このモードの間中では，CLK および CKE を除くすべての入力バッファはオフになり，デバイスの消費電力が低減されます。元の状態（アイドル状態またはアクティブ状態）に戻すためには，CKE をハイ・レベルにします。

## 第6章 コマンド・オペレーション

この章では、コマンドを実行するときの注意事項について説明します。

コマンドの一覧は 2.2.2 SDRAM コマンド一覧または、5.1.1 128M SDRAM の状態遷移図を参照してください。

### 6.1 コマンドの実行条件

以下に各コマンドが実行できる状態を示します。

表6-1 コマンドが実行可能な条件

コマンド	略号	コマンドを実行(入力)可能な状態	備考
モード・レジスタ設定	MRS	全バンクがアイドル状態	
CBR(オート)リフレッシュ	REF	全バンクがアイドル状態	
セルフ・リフレッシュ	SELF	全バンクがアイドル状態	
選択バンクのプリチャージ	PRE	アクティブ・コマンド入力(選択バンク)から $t_{RAS}$ 以降	
全バンクのプリチャージ	PALL	アクティブ・コマンド入力(全バンク)から $t_{RAS}$ 以降	
バンク・アクティブ	ACT	選択するバンクがアイドル状態	
ライト	WRIT	アクティブ・コマンド入力(選択バンク)から $t_{RCD}$ 以降	
ライト (オート・プリチャージ付き)	WRITA	アクティブ・コマンド入力(選択バンク)から $t_{RCD}$ 以降	
リード	READ	アクティブ・コマンド入力(選択バンク)から $t_{RCD}$ 以降	
リード (オート・プリチャージ付き)	READA	アクティブ・コマンド入力(選択バンク)から $t_{RCD}$ 以降	
バースト・ストップ	BST	リード動作中, ライト動作中	
ノー・オペレーション	NOP	すべての状態	
デバイス非選択	DESL	すべての状態	

## 6.2 128M SDRAM ( $\mu$ PD45128163)のコマンド動作

以下に各コマンドの入力によって変化する動作状態について示します。

現在の状態：アイドル

入力コマンド	動作	注意事項
DESL	NOP または パワーダウン	注 1
NOP	NOP または パワーダウン	注 1
BST	NOP または パワーダウン	注 1
READ/READA	不正	注 2
WRIT/WRITA	不正	注 2
ACT	ロウ・アクティブ	
PRE/PALL	NOP	注 3
REF/SELF	CBR (オート) リフレッシュ / セルフ・リフレッシュ	注 4
MRS	モード・レジスタ・セット	注 5

- 注 1. 全バンクがアイドル状態で CKE がインアクティブ (ロウ・レベル) の場合は、パワーダウン・モードになります。
2. 同一バンクに対して不正です (バンク・アドレス (BA) で指定したバンクの状態によっては、有効になる場合もあります)。
3. バンク・アドレス (BA) で指定したバンクの状態によってはプリチャージ動作が可能です。
4. セルフ・リフレッシュ・モードは全バンクがアイドル状態で CKE がインアクティブ (ロウ・レベル) の状態で実行できます。
5. アイドル状態にないバンクがあれば、動作は不正です。

現在の状態：ロウ・アクティブ

入力コマンド	動作	注意事項
DESL	NOP	
NOP	NOP	
BST	NOP	
READ/READA	リードまたはオート・プリチャージ付きリード開始	
WRIT/WRITA	ライトまたはオート・プリチャージ付きライト開始	
ACT	不正	注 1
PRE/PALL	プリチャージ	注 2
REF/SELF	不正	
MRS	不正	

- 注 1. 同一バンクに対して不正です (バンク・アドレス (BA) で指定したバンクの状態によっては、有効になる場合もあります)。
2.  $t_{RAS}$  を満足していない場合は不正です。

備考 ロウ・アクティブ：アクティブ・コマンド (ACT) 入力 (選択バンク) から  $t_{rCD}$  以降の状態です。

現在の状態：リード

入力コマンド	動作	注意事項
DESL	最後までバースト続行 ロウ・アクティブ	
NOP	最後までバースト続行 ロウ・アクティブ	
BST	バースト停止 ロウ・アクティブ	
READ/READA	バースト停止 リードまたは オート・プリチャージ付きリード開始	注 1
WRIT/WRITA	バースト停止 ライトまたは オート・プリチャージ付きライト開始	注 1
ACT	不正	注 2
PRE/PALL	バースト停止 プリチャージ	
REF/SELF	不正	
MRS	不正	

注 1. バースト割り込み条件を満足していなければなりません。

- 2 同一バンクに対して不正です (バンク・アドレス (BA) で指定したバンクの状態によっては、有効になる場合もあります)。

現在の状態：ライト

入力コマンド	動作	注意事項
DESL	最後までバースト続行 ライト・リカバリ	
NOP	最後までバースト続行 ライト・リカバリ	
BST	バースト停止 ロウ・アクティブ	
READ/READA	バースト停止 リードまたは オート・プリチャージ付きリード開始	注 1
WRIT/WRITA	バースト停止 ライトまたは オート・プリチャージ付きライト開始	注 1
ACT	不正	注 2
PRE/PALL	バースト停止 プリチャージ	注 1
REF/SELF	不正	
MRS	不正	

注 1. バースト割り込み条件を満足していなければなりません。

2. 同一バンクに対して不正です (バンク・アドレス (BA) で指定したバンクの状態によっては、有効になる場合もあります)。

現在の状態：オート・プリチャージ付きリード

入力コマンド	動作	注意事項
DESL	最後までバースト続行 プリチャージ	
NOP	最後までバースト続行 プリチャージ	
BST	不正	
READ/READA	不正	注
WRIT/WRITA	不正	注
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	

注 同一バンクに対して不正です（バンク・アドレス（BA）で指定したバンクの状態によっては、有効になる場合もあります）。

現在の状態：オート・プリチャージ付きライト

入力コマンド	動作	注意事項
DESL	最後までバースト続行 プリチャージ	
NOP	最後までバースト続行 プリチャージ	
BST	不正	
READ/READA	不正	注
WRIT/WRITA	不正	注
ACT	不正	注
PRE/PALL	不正	注
REF/SELF	不正	
MRS	不正	

注 同一バンクに対して不正です（バンク・アドレス（BA）で指定したバンクの状態によっては、有効になる場合もあります）。

## 現在の状態：プリチャージ

入力コマンド	動作	注意事項
DESL	NOP $t_{RP}$ 後にアイドル状態へ	
NOP	NOP $t_{RP}$ 後にアイドル状態へ	
BST	不正	
READ/READA	不正	注1
WRIT/WRITA	不正	注1
ACT	不正	注1
PRE/PALL	NOP $t_{RP}$ 後にアイドル状態へ	注2
REF/SELF	不正	
MRS	不正	

- 注 1. 同一バンクに対して不正です（バンク・アドレス（BA）で指定したバンクの状態によっては、有効になる場合もあります）。
2. バンク・アドレス（BA）で指定したバンクの状態によってはプリチャージ動作が可能です。

## 現在の状態：ロウ・アクティベイティング

入力コマンド	動作	注意事項
DESL	NOP $t_{RCD}$ 後にバンク・アクティブ状態へ	
NOP	NOP $t_{RCD}$ 後にバンク・アクティブ状態へ	
BST	不正	
READ/READA	不正	注1
WRIT/WRITA	不正	注1
ACT	不正	注1,2
PRE/PALL	不正	注1
REF/SELF	不正	
MRS	不正	

- 注 1. 同一バンクに対して不正です（バンク・アドレス（BA）で指定したバンクの状態によっては、有効になる場合もあります）。
2.  $t_{RRD}$ を満足していない場合は不正です。

**備考** ロウ・アクティベイティング：アクティブ・コマンド（ACT）入力（選択バンク）から  $t_{RCD}$ 未満の状態です。

現在の状態：ライト・リカバリ

入力コマンド	動作	注意事項
DESL	NOP $t_{DPL}$ 後にロウ・アクティブ状態へ	
NOP	NOP $t_{DPL}$ 後にロウ・アクティブ状態へ	
BST	NOP $t_{DPL}$ 後にロウ・アクティブ状態へ	
READ/READA	リードまたはオート・プリチャージ付きリード開始	注1
WRIT/WRITA	ライトまたはオート・プリチャージ付きライト開始	
ACT	不正	注2
PRE/PALL	不正	注2
REF/SELF	不正	
MRS	不正	

注 1. 10.1.1 リード・コマンドによるデータ割り込み を参照してください。

2. 同一バンクに対して不正です（バンク・アドレス（BA）で指定したバンクの状態によっては、有効になる場合もあります）。

現在の状態：オート・プリチャージ付きライト・リカバリ

入力コマンド	動作	注意事項
DESL	NOP $t_{DPL}$ 後にプリチャージ状態へ	
NOP	NOP $t_{DPL}$ 後にプリチャージ状態へ	
BST	NOP $t_{DPL}$ 後にプリチャージ状態へ	
READ/READA	不正	注1
WRIT/WRITA	不正	
ACT	不正	注2
PRE/PALL	不正	注2
REF/SELF	不正	
MRS	不正	

注 1. 10.1.1 リード・コマンドによるデータ割り込み を参照してください。

2. 同一バンクに対して不正です（バンク・アドレス（BA）で指定したバンクの状態によっては、有効になる場合もあります）。

現在の状態：リフレッシュ

入力コマンド	動作	注意事項
DESL	NOP $t_{RC}$ 後にアイドル状態へ	
NOP	NOP $t_{RC}$ 後にアイドル状態へ	
BST	不正	
READ/READA	不正	
WRIT/WRITA	不正	
ACT	不正	
PRE/PALL	不正	
REF/SELF	不正	
MRS	不正	

現在の状態：モード・レジスタ・セット

入力コマンド	動作	注意事項
DESL	NOP $t_{RSC}$ 後にアイドル状態へ	
NOP	NOP $t_{RSC}$ 後にアイドル状態へ	
BST	不正	
READ/READA	不正	
WRIT/WRITA	不正	
ACT	不正	
PRE/PALL	不正	
REF/SELF	不正	
MRS	不正	

## 第7章 基本動作モード

この章では、基本動作としてリード・モード、ライト・モード、リフレッシュ・モードについて説明します。

### 7.1 リード・モード

リード動作はロウ・アクティブ状態のときにリード・コマンドを入力すると実行されます。リード・サイクルの一連の動作は次のとおりです。

- (1) アクティブ・コマンドとロウ・アドレスを入力して該当バンクの活性化を行う。
- (2)  $t_{rCD}$  経過後、リード・コマンドとカラム・アドレスを入力する。
- (3) モード・レジスタで設定されたバースト長 (BL) と/CAS レーテンシ (CL) にしたがって、指定したアドレスのデータが出力される。
- (4)  $t_{rAS}$  経過後、プリチャージ・コマンドを入力する。すべてのバースト・データを失わずにリードするための最も早いプリチャージ・コマンドの入力タイミングは次のとおりです。  
CL = 2 の場合：最後のリード・データの1クロック前  
CL = 3 の場合：最後のリード・データの2クロック前

**注意** プリチャージ・コマンドの入力タイミングは、製品ごとに異なる場合があります。詳しくは、個々の製品のデータシートを参照してください。

- (5)  $t_{rP}$  経過後、該当バンクはアイドル状態になる。

図7-1はBL=4のときのリード・サイクルの基本的な動作のタイミング・チャートを示します。

図7-1 リード・サイクル

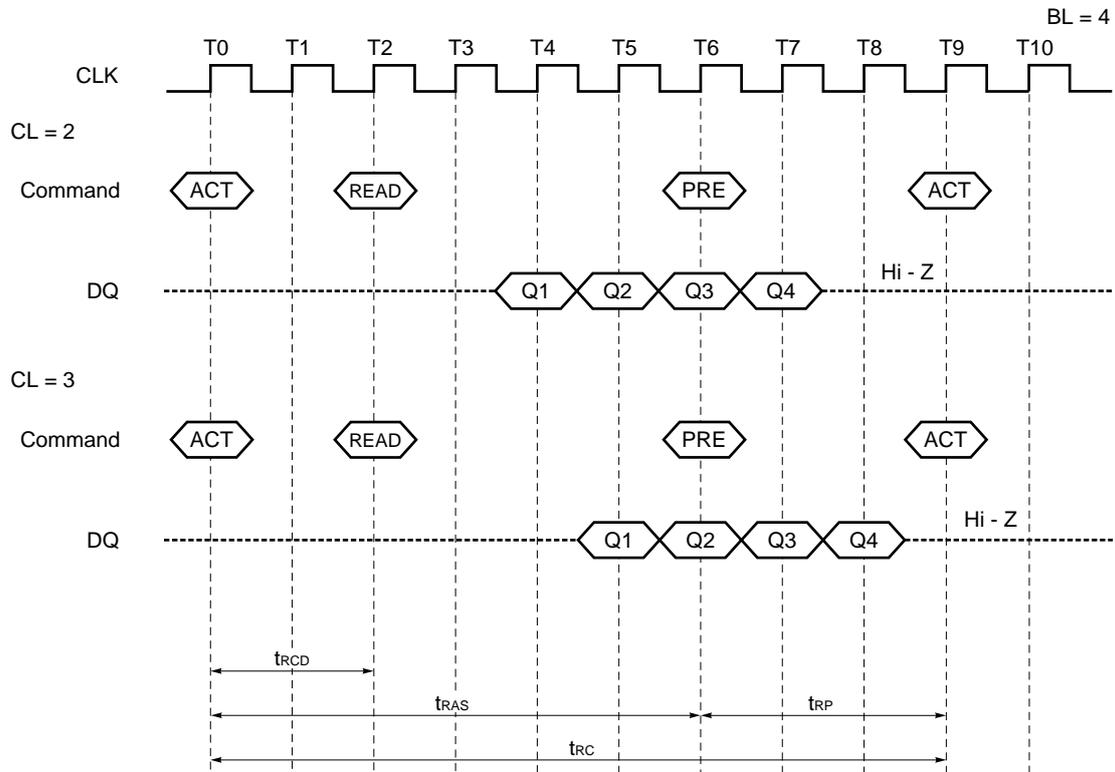


図7-2はオート・プリチャージ付きリード・コマンドを選択した場合のリード・サイクルを示します。オート・プリチャージ付きリード・コマンドを入力した場合、プリチャージ動作は自動的に開始されるので、プリチャージ・コマンドを入力する必要はありません。ただし、オート・プリチャージ付きリード/ライト・コマンドは、バースト長をフル・ページに設定している場合は入力しないでください。

リード・サイクルで、オート・プリチャージを使用する場合、 $t_{RAS}$ と $t_{RP}$ を満足するため、プリチャージ動作がいつ開始されるかを知っておく必要があります。プリチャージ・サイクルが終了するまで、プリチャージ中のバンクに対する次のアクティブ・コマンドは実行できません。オート・プリチャージが開始されてから $t_{RP}$ 経過後に、バンクに対するアクティブ・コマンドを入力できます。

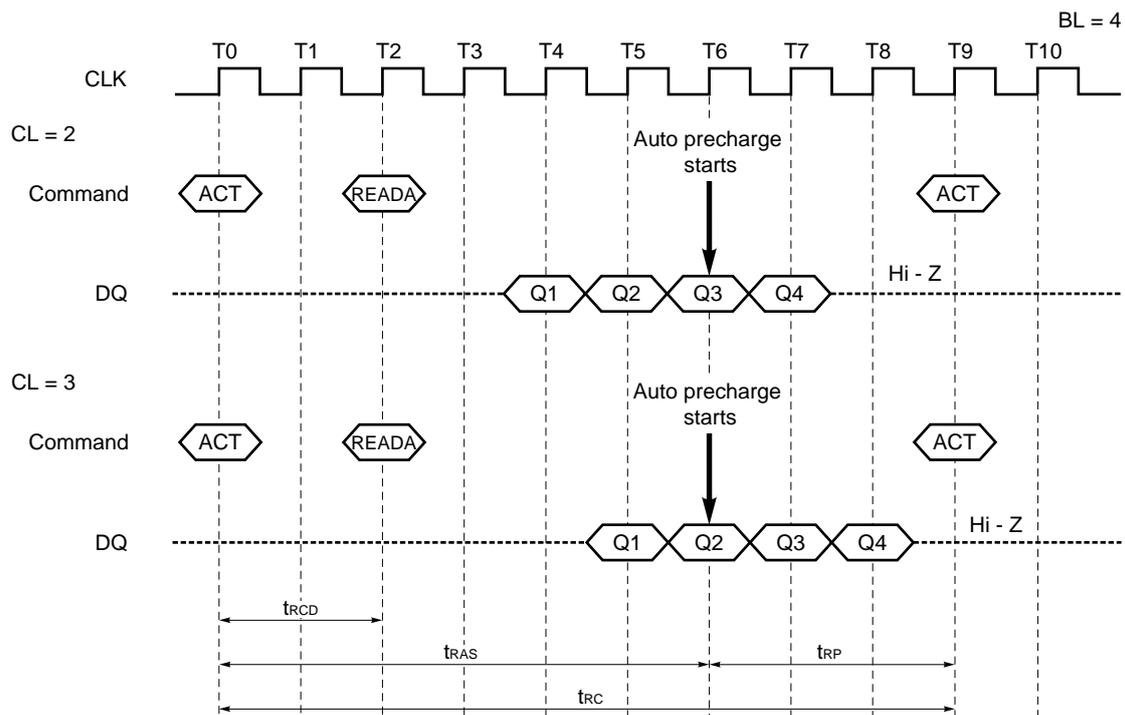
オート・プリチャージを開始するタイミングは次のとおりです。

CL = 2 の場合：最後のリード・データの1クロック前

CL = 3 の場合：最後のリード・データの2クロック前

**注意** オート・プリチャージを開始するタイミングは、製品ごとに異なる場合があります。詳しくは、個々の製品のデータシートを参照してください。

図7-2 オート・プリチャージ付きリード・サイクル



## 7.2 ライト・モード

ライト動作はロウ・アクティブ状態のときにライト・コマンドを入力すると実行されます。ライト・サイクルの一連の動作は次のとおりです。

- (1) アクティブ・コマンドとロウ・アドレスを入力して該当バンクの活性化を行う。
- (2)  $t_{\text{RCD}}$  経過後、ライト・コマンドとカラム・アドレスを入力する。
- (3) モード・レジスタで設定されたバースト長 (BL) にしたがって、指定したアドレスにデータを入力する。
- (4)  $t_{\text{RAS}}$  経過後、プリチャージ・コマンドを入力する。すべてのデータをメモリ・セルに正確に書き込むためには  $t_{\text{DPL}}$  を満足する必要があります。
- (5)  $t_{\text{RP}}$  経過後、該当バンクはアイドル状態になる。

図7-3はBL=4のときのライト・サイクルの基本的な動作のタイミング・チャートを示します。

図7-3 ライト・サイクル

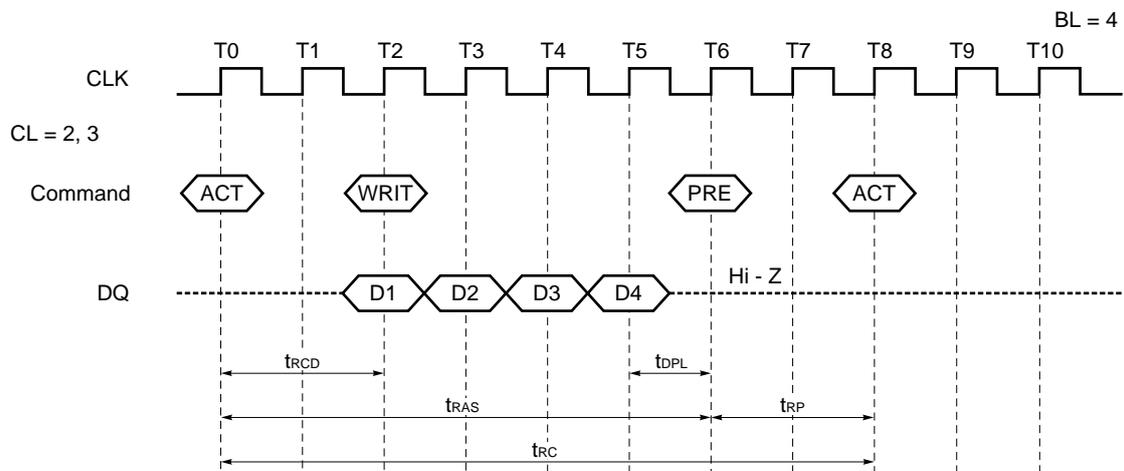


図7-4はオート・プリチャージ付きライト・コマンドを選択した場合のライト・サイクルを示します。オート・プリチャージ付きライト・コマンドを入力した場合、プリチャージ動作は自動的に開始されるので、プリチャージ・コマンドを入力する必要はありません。ただし、オート・プリチャージ付きリード/ライト・コマンドは、バースト長をフル・ページに設定している場合は入力しないでください。

ライト・サイクルでは、プリチャージ中のバンクに対する次のアクティブ・コマンドを入力するためには  $t_{DAL}$  を満足していればよいので、プリチャージ動作がいつ開始されるかを知らなくても問題ありません。

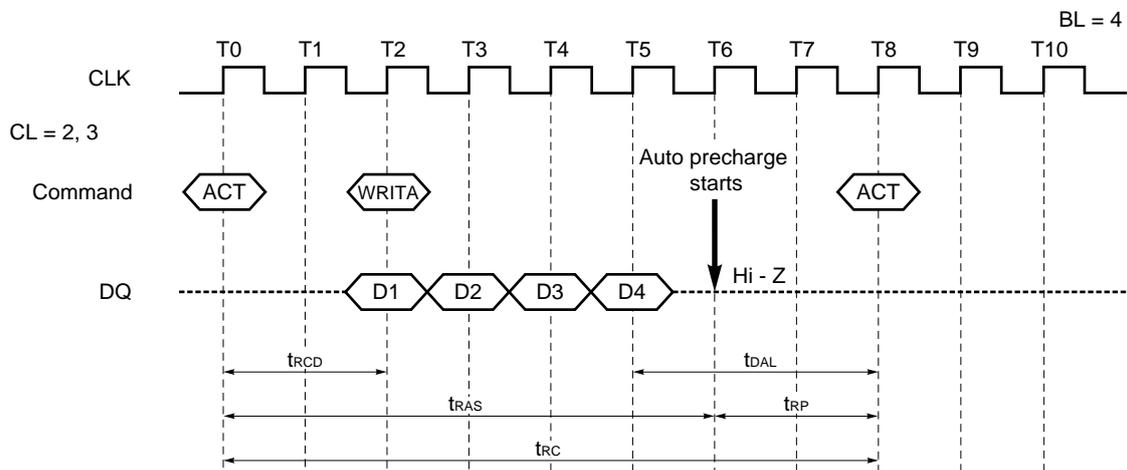
オート・プリチャージを開始するタイミングは次のとおりです。

CL = 2 の場合：最後のライト・データの1クロック後

CL = 3 の場合：最後のライト・データの1クロック後

**注意** オート・プリチャージを開始するタイミングは、製品ごとに異なる場合があります。詳しくは、個々の製品のデータシートを参照してください。

図7-4 オート・プリチャージ付きライト・サイクル



## 7.3 リフレッシュ・モード

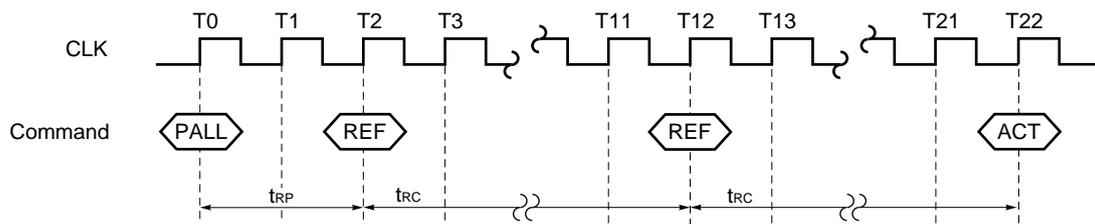
SDRAM は従来の DRAM と同様にリフレッシュ動作を必要とします。リフレッシュには CBR (オート) リフレッシュ<sup>※1</sup> とセルフ・リフレッシュ<sup>※2</sup> の 2 つのモードがあります。

CBR (オート) リフレッシュ・サイクルの一連の動作は次のとおりです。

- (1) 単独でのリフレッシュ動作はアイドル状態で実行する必要があるため、アイドル状態でない場合はプリチャージ動作を実行して、デバイスをアイドル状態にする。
- (2) CBR (オート) リフレッシュ・コマンドを入力する。  
デバイス内部のリフレッシュ・カウンタがリフレッシュ・アドレスを自動的に生成するため、外部からのアドレス指定は不要です。
- (3)  $t_{RC}$  経過後、アイドル状態になる。

図 7-5 は CBR (オート) リフレッシュ・サイクルの基本的な動作のタイミング・チャートを示します。

図 7-5 CBR (オート) リフレッシュ・サイクル



- 注 1. リフレッシュ動作は、 $t_{REF}$  以内にすべてのロウ・アドレスに対して、リード・サイクルまたはライト・サイクルを実行してもリフレッシュ動作を完了します。
2. 9.2.3 セルフ・リフレッシュ・モード を参照してください。

## 第 8 章 DQM制御動作

この章では DQM 制御について説明します。DQM 信号は、入出力データのマスク操作を行う信号です。DQM 端子の制御タイミングは、リード・サイクルとライト・サイクルで異なります。

### 8.1 DQM端子

DQM 信号の制御する入出力端子は、ビット構成により次のように異なります。

#### ×4 ビット構成

4 ビット入出力端子を同時に制御します。

DQM は DQ0 ~ DQ3 を制御します。

#### ×8 ビット構成

8 ビット入出力端子を同時に制御します。

DQM は DQ0 ~ DQ7 を制御します。

#### ×16 ビット構成

16 ビット入出力端子をそれぞれ上位 8 ビット、下位 8 ビットに独立して制御します。

LDQM は DQ0 ~ DQ7 (下位 8 ビット) を制御します。

UDQM は DQ8 ~ DQ15 (上位 8 ビット) を制御します。

#### ×32 ビット構成

32 ビット入出力端子をそれぞれ 8 ビットごとに独立して制御します。

DQM0 は DQ0 ~ DQ7 を制御します。

DQM1 は DQ8 ~ DQ15 を制御します。

DQM2 は DQ16 ~ DQ23 を制御します。

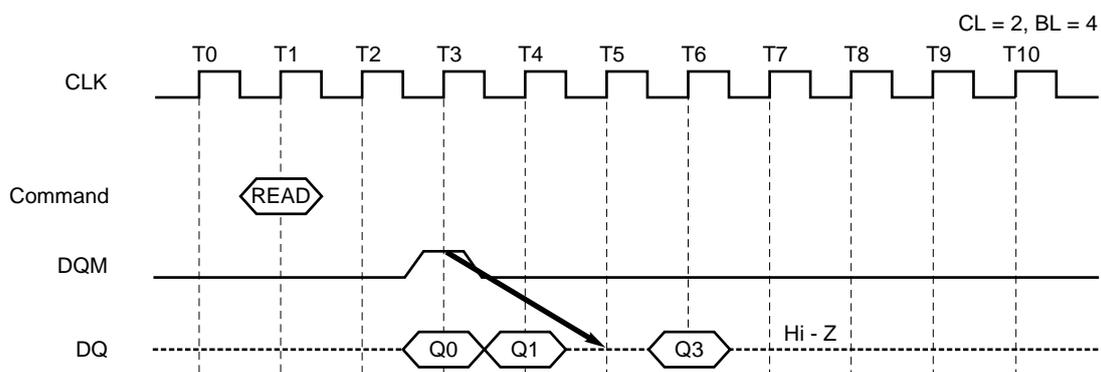
DQM3 は DQ24 ~ DQ31 を制御します。

## 8.2 リード・サイクルでのDQM制御

リード・サイクル時の DQM レーテンシは、/CAS レーテンシに関係なく 2 クロックです。

図 8 - 1 で示すように、ある DQM をハイ・レベルにすることにより (T3)、T3 から 2 クロック後の T5 に DQM に対応する出力バッファがハイ・インピーダンスになり、リード・データが止まります。

図8 - 1 リード動作時のDQM制御

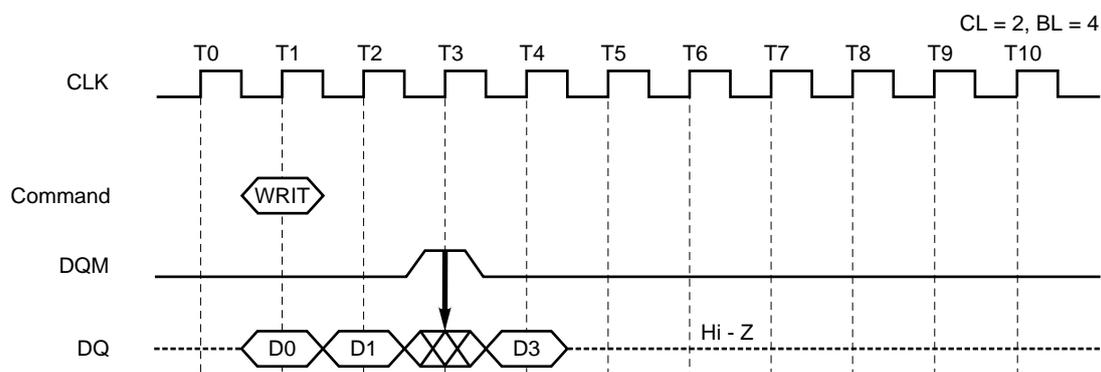


### 8.3 ライト・サイクルでのDQM制御

ライト・サイクル時の DQM レーテンシは、/CAS レーテンシに関係なく 0 です。

図 8 - 2 で示すように、ある DQM をハイ・レベルにしたとき (T3)、DQM に対応するデータは書き込まれません。

図8 - 2 ライト動作時のDQM制御



## 8.4 DQM真理値表

表 8 - 1 に , DQM のコマンド真理値表を示します

表8 - 1 DQM真理値表

機 能	記号	CKE		DQM	
		n-1	n	U	L
データ書き込み / 出力許可	ENB	H	x	L	
データ書き込み / 出力禁止	MASK	H	x	H	
上位バイト書き込み許可 / 出力許可	ENBU	H	x	L	x
下位バイト書き込み許可 / 出力許可	ENBL	H	x	x	L
上位バイト書き込み禁止 / 出力禁止	MASKU	H	x	H	x
下位バイト書き込み禁止 / 出力禁止	MASKL	H	x	x	H

**備考** H = ハイ・レベル , L = ロウ・レベル , x = Don't care

## 第9章 CKE制御動作

この章では CKE 信号による基本的な制御方法，動作の際の制限事項（制御タイミング，制御信号レベル）について説明します。CKE は CLK の取り込みを制御する信号です。

前 CLK の立ち上がりで CKE=H の場合

次の CLK の立ち上がりエッジが有効となり，各入力信号を取り込みます。

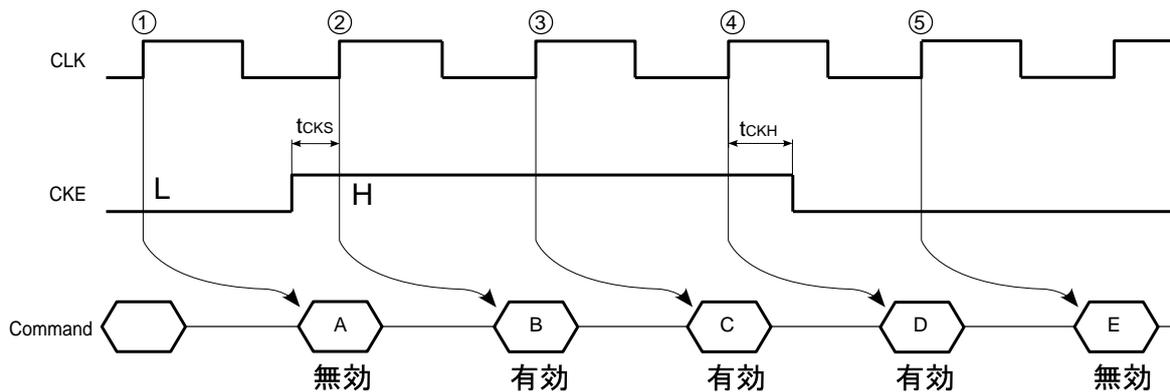
前 CLK の立ち上がりで CKE=L の場合

次の CLK の立ち上がりエッジが無効となり，各入力信号は取り込みません。

### 9.1 基本制御

CKE=H による入力信号の取り込み制御タイミングを図9-1で説明します。

図9-1 CKE制御の信号取り込みタイミング



図中のように CLK の立ち上がりで CKE=ハイ・レベル(セットアップ時間  $t_{CKS}$ ，ホールド時間  $t_{CKH}$  を満足)の場合，次の CLK の立ち上がりで入力されたコマンド B,C,D の取り込みが可能となります。CLK 立ち上がりの CKE=ロウ・レベル，では，次の CLK の立ち上がりに入力されたコマンドは取り込まれませんので無効となります。

以上の制御は，デバイスの内部クロックを制御することで行われており，ある動作途中で CKE がハイ・レベルからロウ・レベルに変化した場合はメモリ内部の動作が一時停止し，ロウ・レベルからハイ・レベルに変化した場合はメモリ内部の動作を再開します。

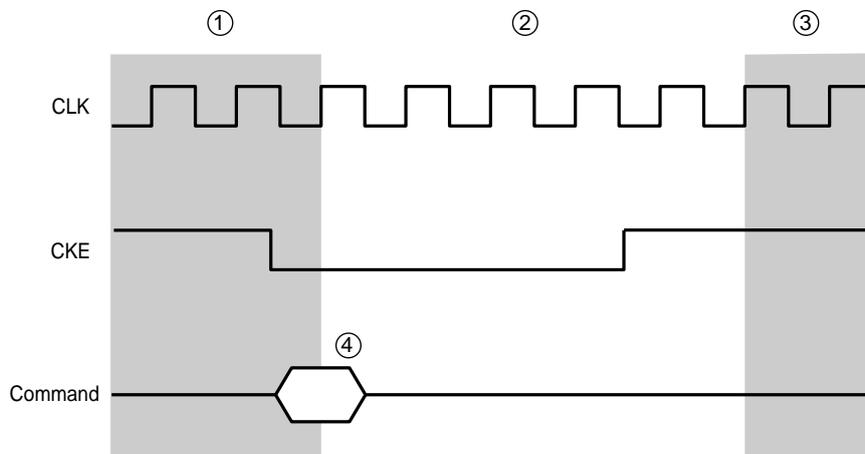
## 9.2 CKE制御例

CKE 制御による動作状態には次のモードがあります。

- パワーダウン・モード
- クロック・サスペンド・モード
- セルフ・リフレッシュ・モード

図9-2は任意のコマンドの入力後に、CKE 信号レベルを変化させたときのデバイスの状態変化について説明しています。図の中でのコマンドが取り込めるタイミングは ① と ③ の期間であり、② の期間ではコマンドの取り込みができません。

図9-2 CKE制御例



## 9.2.1 パワーダウン・モード

パワーダウンとはデバイスの内部クロックを非活性にして、デバイスの消費電力を低く抑える動作です。図9-3はパワーダウン・モードのタイミングを示しています。

### パワーダウン・モードの開始

全バンクがアイドル状態、あるいはロウ・アクティブ状態（バンク・アクティブ）のときに CKE 信号の入力レベルをハイ・レベルからロウ・レベルへ変化させることにより（T1 - T2）、T2 のタイミングでパワーダウン・モードを開始します。

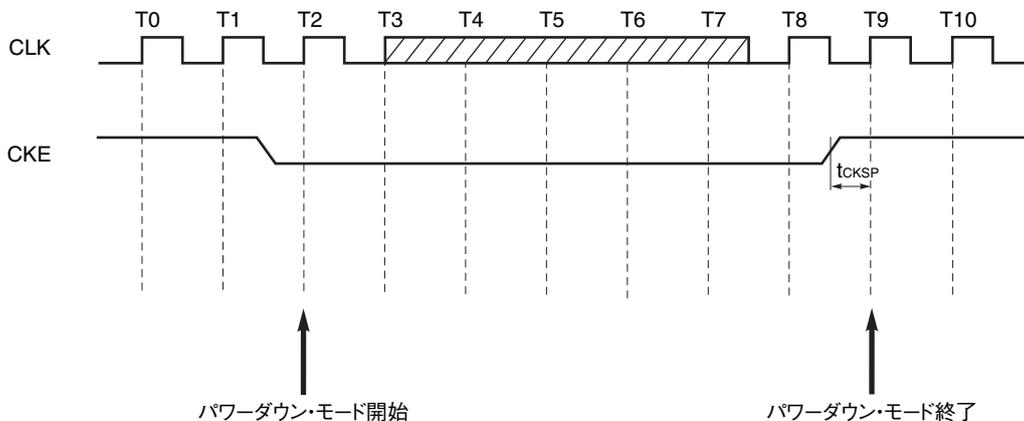
パワーダウン動作を開始すると、CKE 信号以外のすべての入力は任意（ハイ・レベルまたはロウ・レベル）の状態になり、データ・バスは Hi-Z 状態になります。なお、パワーダウン・モードの間、CKE 信号は、ロウ・レベルを保持する必要があります。

### パワーダウン・モードの解除

CKE 信号の入力レベルをロウ・レベルからハイ・レベルへ変化させることにより（T8 - T9）、T9 のタイミングでパワーダウン・モードが解除され、T10 以降のタイミングで次のコマンド入力が可能となります。

ただし、CKE 信号をハイ・レベルにする前に、少なくとも 1 クロックをデバイスに供給する必要があります。

図9-3 パワーダウン・モード



- 備考** 1. パワーダウン・モード実行中はコマンドの入力ができません。  
2.  $t_{REF}$  の規格値を守ってください。

## 9.2.2 クロック・サスペンド・モード

クロック・サスペンド動作とは、データのバースト転送中にデバイス内部へのクロック伝達を停止し、デバイスの動作を停止させる動作です。

### (1) リード動作時のクロック・サスペンド・モード

図9-4はリード動作時のクロック・サスペンド・モードのタイミングを示しています。

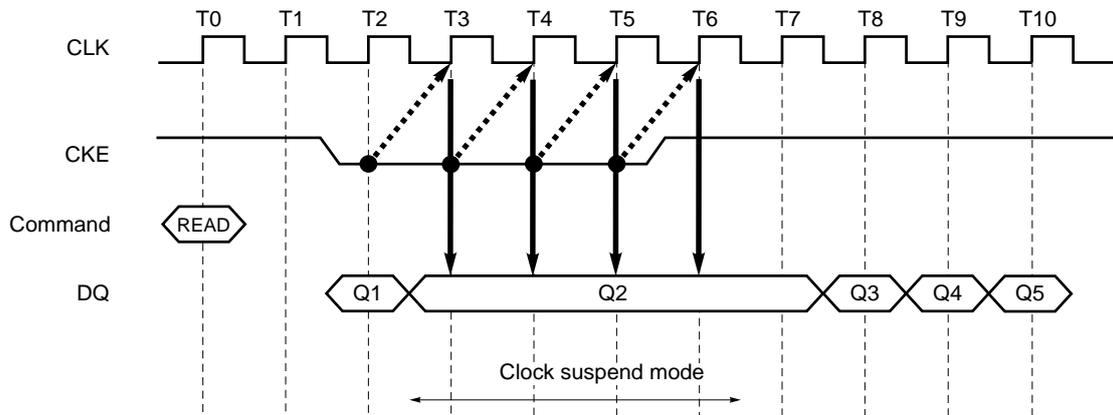
#### クロック・サスペンド・モードの開始

/CAS レーテンシの値に関わらず、CKE 信号の入力レベルをハイ・レベルからロウ・レベルへ変化させることにより (T1 - T2)、T3 のタイミングでサスペンド動作を開始します。クロック・サスペンド・モード中はデータ (Q2) を出力し続けます。

#### クロック・サスペンド・モードの解除

CKE 信号の入力レベルをロウ・レベルからハイ・レベルへ変化させることにより (T5 - T6)、T6 のタイミングでクロック・サスペンド・モードが解除され、T7 のタイミングでリード動作を再開し、T8 のタイミングで新データ (Q3) が出力されます。

図9-4 クロック・サスペンド・モード (リード・サイクル: CL=2)



## (2) ライト動作時のクロック・サスペンド・モード

図9-5はライト動作時のクロック・サスペンド・モードのタイミングを示しています。

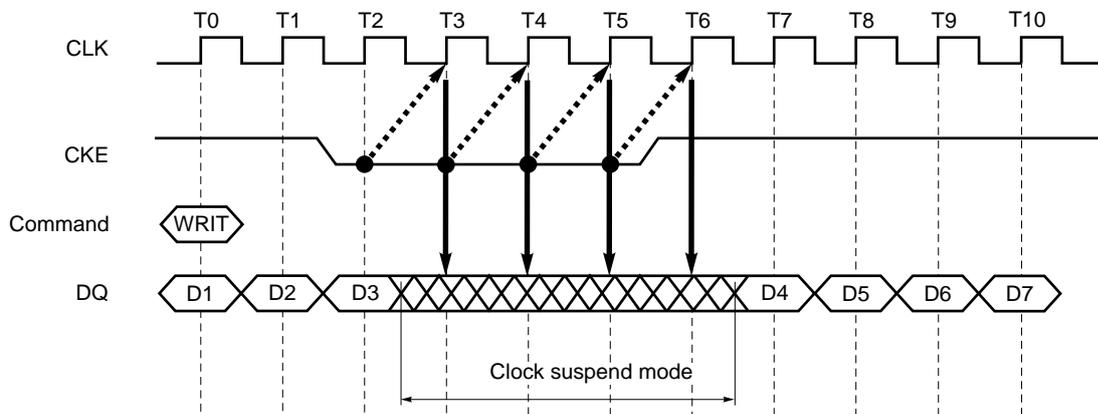
## クロック・サスペンド・モードの開始

CKE 信号の入力レベルをハイ・レベルからロウ・レベルへ変化させることにより (T1 - T2), T3 のタイミングでサスペンド動作を開始します。クロック・サスペンド・モード中はデータの書き込みはできません。

## クロック・サスペンド・モードの解除

CKE 信号の入力レベルをロウ・レベルからハイ・レベルへ変化させることにより (T5 - T6), T6 のタイミングでクロック・サスペンド・モードが解除され, T7 のタイミングでライト動作を再開します。

図9-5 クロック・サスペンド・モード (ライト・サイクル)



## 9.2.3 セルフ・リフレッシュ・モード

セルフ・リフレッシュ動作とは、パワーダウン・モードと同様にクロックを非活性にして、デバイスの消費電力を低く抑え、内部のリフレッシュ・カウンタを用いて自動的にリフレッシュ動作を実行する動作です。

メモリ・セル・データを保持する必要があるが、長時間デバイスにアクセスしない場合に、このモードは有効です。

図9-6はセルフ・リフレッシュのタイミングを示しています。

### セルフ・リフレッシュ・モードの開始

リフレッシュ・コマンド (REF) の入力時に、CKE 信号の入力レベルをハイ・レベルからロウ・レベルへ変化させることにより (T1 - T2)、T2 のタイミングでセルフ・リフレッシュ動作を開始します。

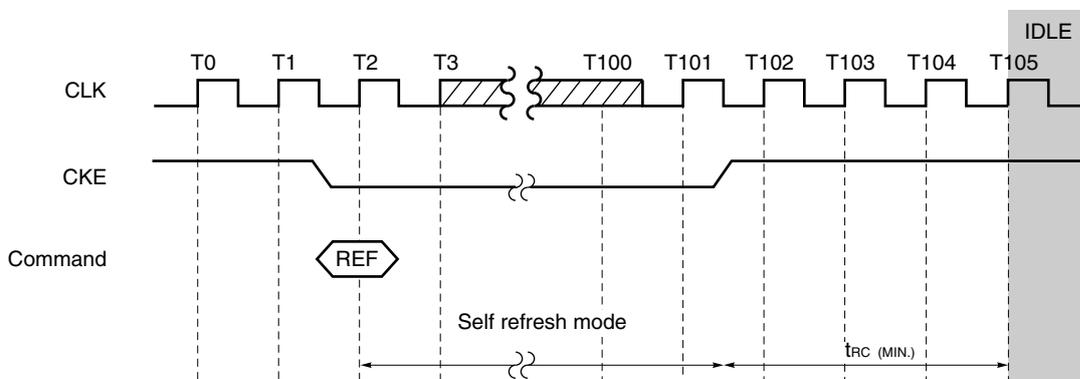
セルフ・リフレッシュ動作を開始すると、CKE 信号以外のすべての入力は任意 (ハイ・レベルまたはロウ・レベル) の状態になり、データ・バスは Hi-Z 状態になります。

なお、セルフ・リフレッシュ・モードの間、CKE 信号はロウ・レベルを保持する必要があります。

### セルフ・リフレッシュ・モードの解除

CKE 信号の入力レベルをロウ・レベルからハイ・レベルへ変化させることにより (T101 - T102)、モードが解除されます。ただし、CKE 信号をハイ・レベルにする前に少なくとも1クロックをデバイスに供給する必要があります。さらに、次のコマンドを入力する場合、NOP または DESL コマンドで  $t_{RC(MIN)}$  を満足する必要があります。

図9-6 セルフ・リフレッシュ・モード



**注意** 通常動作時に集中リフレッシュを用いる場合、セルフ・リフレッシュ動作の開始前後に、合計リフレッシュ・サイクル分の CBR リフレッシュ (オート・リフレッシュ) を集中して実行しなければなりません。

## 9.2.4 CKEコマンド真理値表 (128M SDRAM ( $\mu$ PD45128163))

以下に、CKE コマンド真理値表を示します。

現在の状態：セルフ・リフレッシュ

CKE		/CS	/RAS	/CAS	/WE	アドレス	動 作	注意事項
(n-1)	(n)							
H	X	X	X	X	X	X	無 効	
L	H	H	X	X	X	X	セルフ・リフレッシュ・モード解除 → セルフ・リフレッシュ・リカバリ	
L	H	L	H	H	X	X	セルフ・リフレッシュ・モード解除 → セルフ・リフレッシュ・リカバリ	
L	H	L	H	L	X	X	不 正	
L	H	L	L	X	X	X	不 正	
L	L	X	X	X	X	X	セルフ・リフレッシュを継続	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル (Don't care)

現在の状態：セルフ・リフレッシュ・リカバリ

CKE		/CS	/RAS	/CAS	/WE	アドレス	動 作	注意事項
(n-1)	(n)							
H	H	H	X	X	X	X	NOP →tRC 経過後，アイドル状態	
H	H	L	H	H	X	X	NOP →tRC 経過後，アイドル状態	
H	H	L	H	L	X	X	不 正	
H	H	L	L	X	X	X	不 正	
H	L	H	X	X	X	X	不 正	
H	L	L	H	H	X	X	不 正	
H	L	L	H	L	X	X	不 正	
H	L	L	L	X	X	X	不 正	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル (Don't care)

現在の状態：パワーダウン

CKE		/CS	/RAS	/CAS	/WE	アドレス	動 作	注意事項
(n-1)	(n)							
H	X	X	X	X	X	X	無 効	
L	H	H	X	X	X	X	パワーダウン・モード解除 →アイドル状態	
L	H	L	H	H	H	X	パワーダウン・モード解除 →アイドル状態	
L	L	X	X	X	X	X	パワーダウン・モードを継続	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル (Don't care)

現在の状態：全バンクがアイドル

CKE		/CS	/RAS	/CAS	/WE	アドレス	動 作	注意事項
(n-1)	(n)							
H	H	H	X	X	X		6.2 128M SDRAM のコマンド動作 を参照	
H	H	L	H	X	X		6.2 128M SDRAM のコマンド動作 を参照	
H	H	L	L	H	X		6.2 128M SDRAM のコマンド動作 を参照	
H	H	L	L	L	H	X	CBR リフレッシュ・エントリ	
H	H	L	L	L	L	V	6.2 128M SDRAM のコマンド動作 を参照	
H	L	H	X	X	X		6.2 128M SDRAM のコマンド動作 を参照	
H	L	L	L	H	X		6.2 128M SDRAM のコマンド動作 を参照	
H	L	L	L	L	H	X	セルフ・リフレッシュ・エントリ	
H	L	L	L	L	L	V	6.2 128M SDRAM のコマンド動作 を参照	
L	X	X	X	X	X	X	パワーダウン・モード・エントリ	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（Don't care）

V：有効データ

現在の状態：ロウ・アクティブ

CKE		/CS	/RAS	/CAS	/WE	アドレス	動 作	注意事項
(n-1)	(n)							
H	X	X	X	X	X	X	6.2 128M SDRAM のコマンド動作 を参照	
L	X	X	X	X	X	X	パワーダウン・モード・エントリ	

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（Don't care）

現在の状態：上記以外

CKE		/CS	/RAS	/CAS	/WE	アドレス	動 作	注意事項
(n-1)	(n)							
H	H	X	X	X	X	X	6.2 128M SDRAM のコマンド動作 を参照	
H	L	X	X	X	X	X	次のサイクルでクロック・サスペンド開始	注
L	H	X	X	X	X	X	次のサイクルでクロック・サスペンド解除	
L	L	X	X	X	X	X	クロック・サスペンドを継続	

注 6.2 128M SDRAM のコマンド動作で「不正」とされているコマンドでは、使用できません。

備考 H：ハイ・レベル，L：ロウ・レベル，X：ハイ・レベルまたはロウ・レベル（Don't care），

V：有効データ

## 第 10 章 バースト動作

この章では、バースト動作について説明します。

### 10.1 バーストの終了

バースト動作を終了させるには次の方法があります。

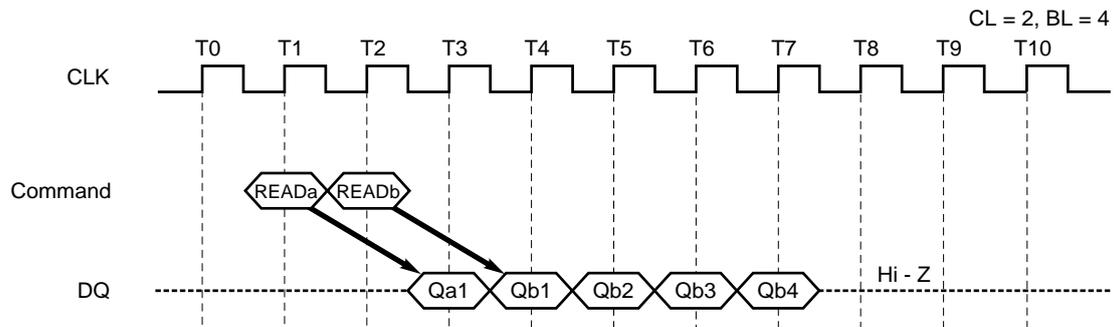
- (1) リード・コマンドを使用する方法
- (2) ライト・コマンドを使用する方法
- (3) バースト・ストップ・コマンドを使用する方法
- (4) プリチャージ・コマンドを使用する方法

### 10.1.1 リード・コマンドによるデータ割り込み

#### (1) リード・サイクルの場合

リード・サイクル中に新しくリード・コマンドを入力することにより、前のバースト・リード動作を中止し、新しいバースト・リード動作を開始します。新しいリード・コマンド (READb) のデータは、/CAS レーテンシが経過してから出力されます。

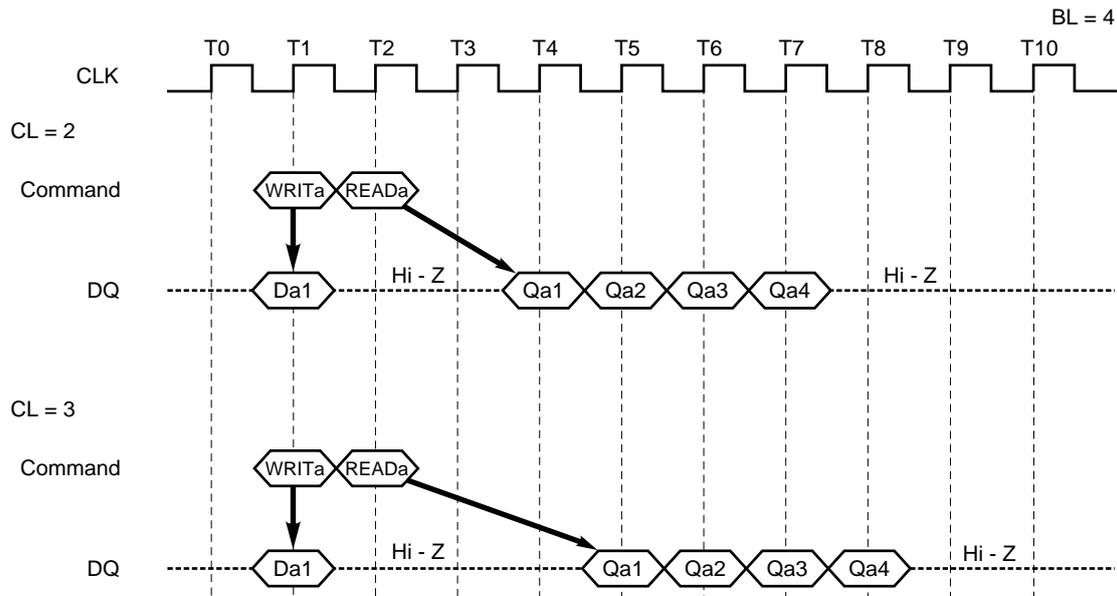
図10-1 リード/リード・コマンド



## (2) ライト・サイクルの場合

ライト・サイクル中に新しくリード・コマンドを入力することにより、前のバースト・ライト動作を中止し、新しくバースト・リード動作を開始します。リード・コマンド (READa) のデータは、/CAS レーテンシが経過してから出力されます。前のライト動作 (WRITa) はリード・コマンドより先に入力されたライト・データだけが書き込まれます。データ・バスは、最初の出力データより1サイクル以上前からハイ・インピーダンスにしておく必要があります。

図10-2 ライト/リード・コマンド

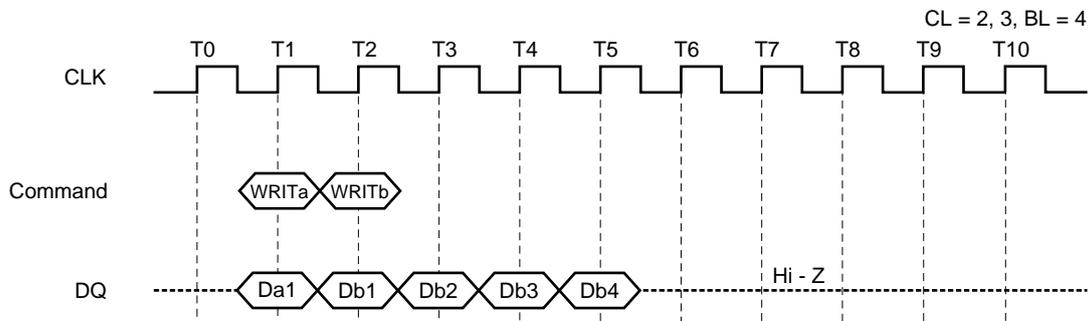


## 10.1.2 ライト・コマンドによるデータ割り込み

### (1) ライト・サイクルの場合

ライト・サイクル中に新しくライト・コマンドを入力することにより、前のバースト・ライト動作を中止し、新しいバースト・ライト動作を開始します。

図10-3 ライト/ライト・コマンド

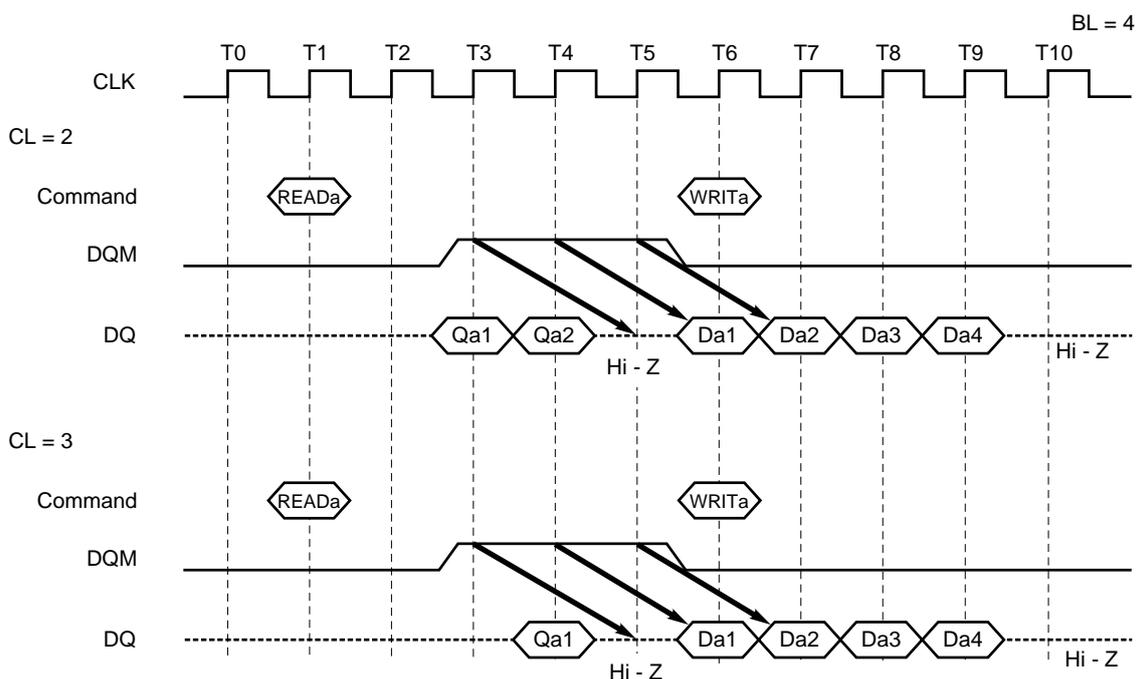


## (2) リード・サイクルの場合

リード・サイクル中に新しくライト・コマンドを入力することにより、前のバースト・リード動作を中止し、バースト・ライト動作を開始します。この際、データの衝突を避けるための制限があり、ライト・コマンドの入力前には、DQMを使用してデータ・バスをハイ・インピーダンスにしておく必要があります。そのため、ライト・コマンドの入力より3クロック以上前からDQMをハイ・レベルにします。

**注意** ライト・コマンドを入力することにより、データの割り込みを行うタイミングは、製品ごとに異なる場合があります。詳しくは個々の製品のデータシートを参照してください。

図10-4 リード/ライト・コマンド

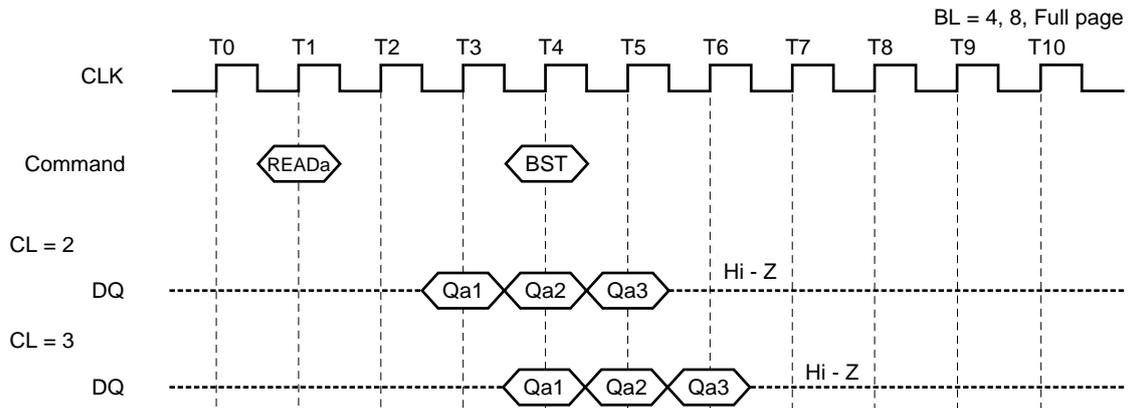


### 10.1.3 バースト・ストップ・コマンドによるバースト動作の終了

#### (1) リード・サイクルの場合

リード・サイクル中にバースト・ストップ・コマンドを入力することにより、バースト・リード動作を中止します。データ・バスはバースト・ストップ・コマンド (BST) の入力から、/CAS レーテンシが経過すると、ハイ・インピーダンスになります。

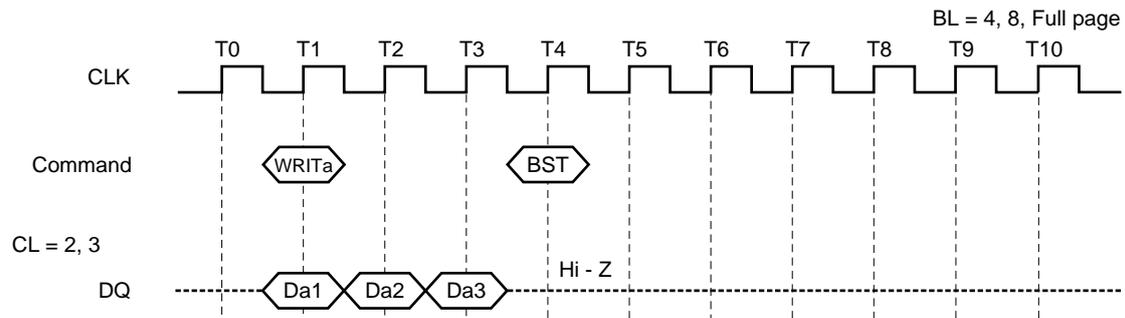
図10-5 リード/バースト・ストップ・コマンド



#### (2) ライト・サイクルの場合

ライト・サイクル中にバースト・ストップ・コマンドを入力することにより、バースト・ライト動作を終了します。この際、バースト・ストップ・コマンド (BST) の入力と同時にデータ・バスからのデータの取り込みを中止します。

図10-6 ライト/バースト・ストップ・コマンド



**備考** SDRAM は、BL=2 の場合についても、バースト・ストップ・コマンドによるバースト動作の終了は有効です。

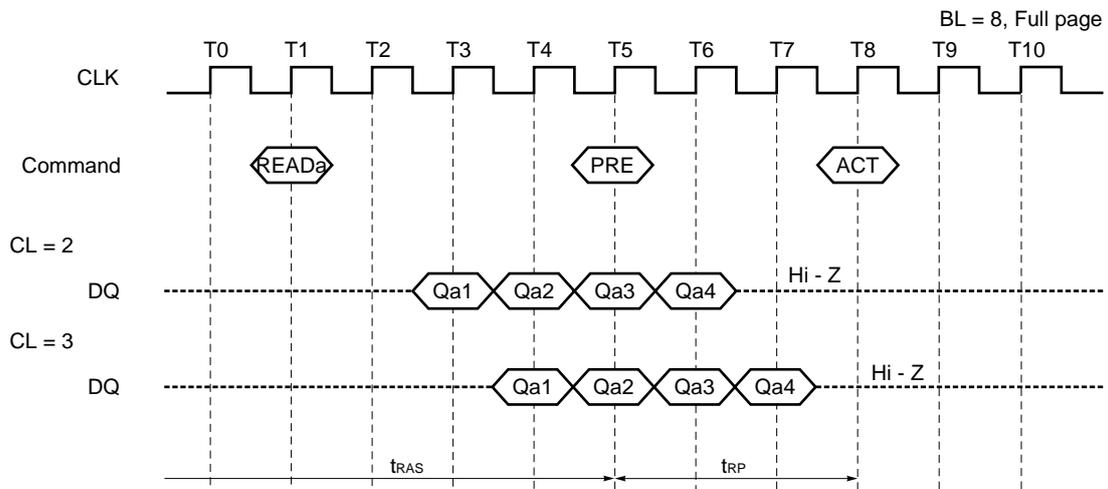
### 10.1.4 プリチャージ・コマンドによるバースト動作の終了

#### (1) リード・サイクルの場合

リード・サイクル中にプリチャージ・コマンドを入力することにより、バースト・リード動作を終了し、プリチャージ動作を開始します。プリチャージ・コマンドの入力から  $t_{RP}$  だけ経過すれば、同じバンクを再びアクティブにできます。プリチャージ・コマンドを入力するためには、 $t_{RAS}$  を満足しなければなりません。

**注意** リード・サイクルでのプリチャージ・コマンドによるバースト動作の終了するタイミングは、製品ごとに異なる場合があります。詳しくは個々の製品のデータシートを参照してください。

図10-7 リード/プリチャージ・コマンド



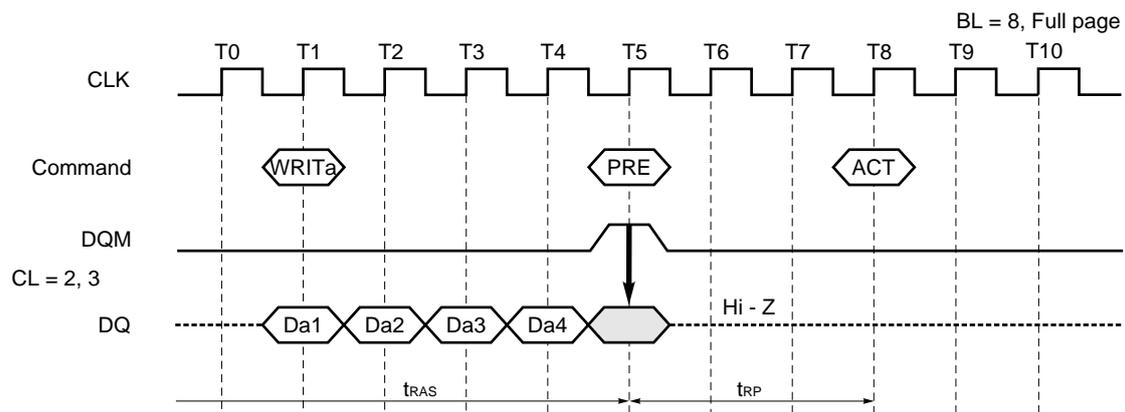
**備考** BL=2,4 の場合についても、プリチャージ・コマンドによるバースト動作の終了は有効です。

## (2) ライト・サイクルの場合

ライト・サイクル中にプリチャージ・コマンドを入力することにより、バースト・ライト動作を終了し、プリチャージを開始します。プリチャージ・コマンドの入力から  $t_{RP}$  だけ経過すれば、同じバンクを再びアクティブにできます。プリチャージ・コマンドを入力するためには、 $t_{RAS}$  を満足しなければなりません。

プリチャージ・コマンドの入力より前に書き込まれたライト・データは、正しくメモリ・セルに書き込まれます。ただし、プリチャージ・コマンドと同時に無効なデータが書き込まれる可能性があります。このような事態が発生するのを防ぐため、プリチャージ・コマンドの入力と同時に DQM をハイ・レベルにしてください。これにより、無効なデータがマスクされます。

図10-8 ライト/プリチャージ・コマンド

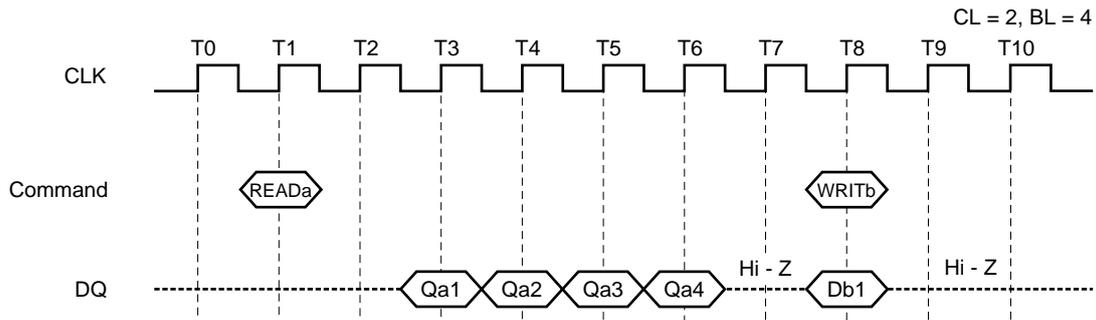


**備考** BL=2,4 の場合についても、プリチャージ・コマンドによるバースト動作の終了は有効です。

## 10.2 バースト・リード&シングル・ライト

SDRAMでは、バースト・リード&シングル・ライト・モードをサポートしています。バースト・リード&シングル・ライト・モードは、モード・レジスタに任意のコマンドを設定することによって動作します（第4章 基本設定（モード・レジスタ設定）参照）。これは、ライト・スルー方式のキャッシュ・システムに適した機能です。

図10-9 バースト・リード&シングル・ライト



## 第 11 章 マルチバンク・オペレーション

マルチ・バンク・オペレーションは、複数のバンクを独立して制御することにより、バンクを有効的に使用する動作制御のことです。

この章ではマルチ・バンク・オペレーションの基本的なタイミングを 3 つの場合に分けて説明します。

### 11.1 基本タイミングの種類

#### 11.1.1 バースト動作（リードまたはライト）を実行中に、別のバンクに対してバースト動作（リードまたはライト）を実行する場合

この場合、動作の遷移は以下の種類があります。

- |                |            |
|----------------|------------|
| (1) バースト・リード動作 | バースト・リード動作 |
| (2) バースト・リード動作 | バースト・ライト動作 |
| (3) バースト・ライト動作 | バースト・リード動作 |
| (4) バースト・ライト動作 | バースト・ライト動作 |

#### 11.1.2 バースト動作（リードまたはライト）を実行中に、別のバンクを活性化し、そのバンクに対してバースト動作（リードまたはライト）を実行する場合

この場合、動作の遷移は以下の種類があります。

- |                |           |            |
|----------------|-----------|------------|
| (1) バースト・リード動作 | 別のバンクを活性化 | バースト・リード動作 |
| (2) バースト・リード動作 | 別のバンクを活性化 | バースト・ライト動作 |
| (3) バースト・ライト動作 | 別のバンクを活性化 | バースト・リード動作 |
| (4) バースト・ライト動作 | 別のバンクを活性化 | バースト・ライト動作 |

#### 11.1.3 オート・プリチャージ付きのバースト動作（リードまたはライト）を実行中に、別のバンクに対してバースト動作（リードまたはライト）を実行する場合

この場合、動作の遷移は以下の種類があります。

- |                            |            |
|----------------------------|------------|
| (1) オート・プリチャージ付きバースト・リード動作 | バースト・リード動作 |
| (2) オート・プリチャージ付きバースト・リード動作 | バースト・ライト動作 |
| (3) オート・プリチャージ付きバースト・ライト動作 | バースト・リード動作 |
| (4) オート・プリチャージ付きバースト・ライト動作 | バースト・ライト動作 |

## 11.2 バースト動作（リードまたはライト）を実行中に，別のバンクに対してバースト動作（リードまたはライト）を実行する場合

この節で示しているタイミング例は，バンク A のバースト動作（リードまたはライト）を実行中に，バンク B に対してバースト動作（リードまたはライト）を実行する場合のマルチ・バンク・オペレーションの例です。また，各節では，バンク A のバースト動作終了（完了）後に，バンク B のバースト動作を開始するタイミングと，バンク A のバースト動作を中断して，バンク B のバースト動作を開始するタイミングの 2 種類を例として上げております。

なお，タイミング例は，/CAS レーテンシ (CL) = 2，バースト長 (BL) = 4 とし，バンク A およびバンク B は，ともに活性状態（両バンクともにアクティブ・コマンドを入力後， $t_{\text{RCD(MIN.)}}$  以上経過している）としています。

また，ここで取り上げている A, B バンクの組み合わせ以外にも，いろいろなバンクの組み合わせが可能です。

現在の動作（バンク A）		次の動作（バンク B）	タイミング例
バースト・リード	完了	バースト・リード	図 11 - 1 参照
	中断		図 11 - 2 参照
バースト・リード	完了	バースト・ライト	図 11 - 3 参照
	中断		図 11 - 4 参照
バースト・ライト	完了	バースト・リード	図 11 - 5 参照
	中断		図 11 - 6 参照
バースト・ライト	完了	バースト・ライト	図 11 - 7 参照
	中断		図 11 - 8 参照

## 11.2.1 バースト・リード動作 バースト・リード動作

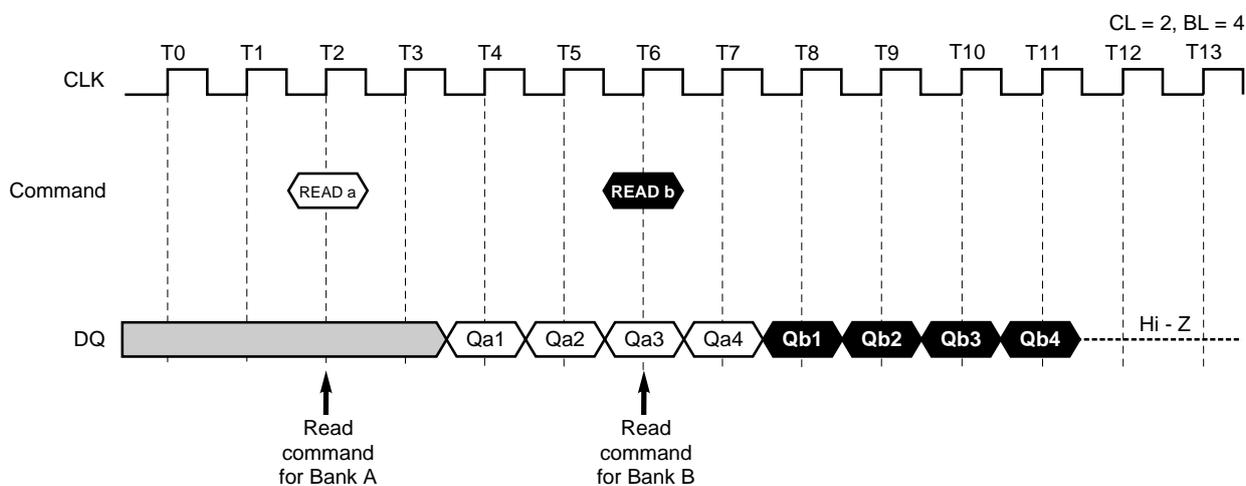
### (1) バースト・リード動作 (完了) バースト・リード動作

バンク A のバースト・リード動作において、最終データを出力した次のクロックで、新たにバンク B のデータを出力させるタイミング例を図 11 - 1 に示します。

T2 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T6 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、READa によるデータ出力は、T7 で終了 (完了) し、T8 から READb によるデータ出力が開始されます。

このようなタイミングで、バンク B に対するバースト・リード動作を実行すると、それぞれのバンクのバースト・データを連続して出力させることができ、データ・バスを有効に使うことができます。

図11 - 1 バースト・リード動作 (完了) バースト・リード動作



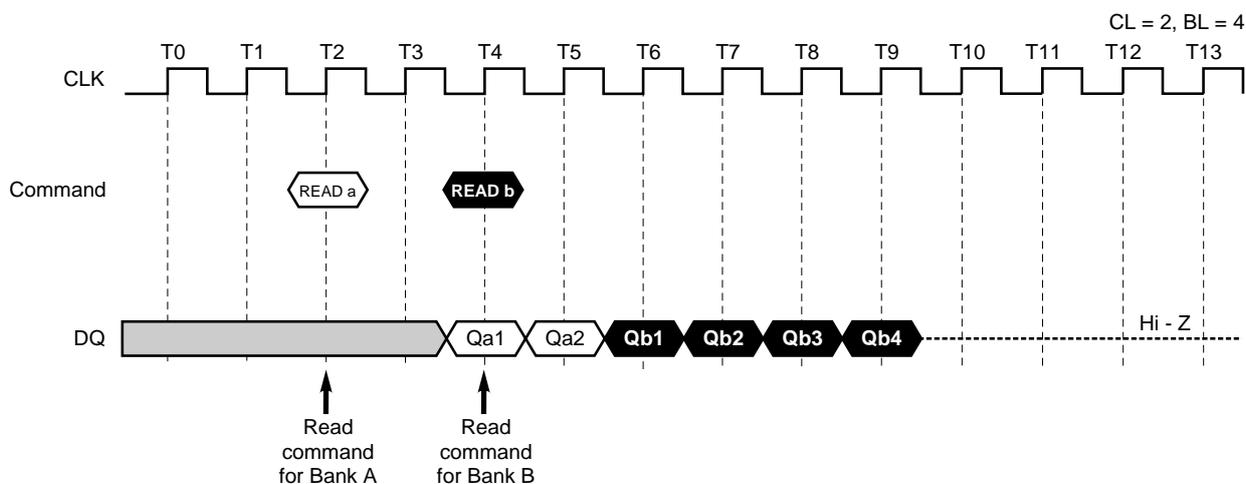
**(2) バースト・リード動作 (中断) バースト・リード動作**

バンク A のバースト・リード動作において、データ出力を中断させ、新たにバンク B のデータを出させるタイミング例を図 11 - 2 に示します。

T2 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T4 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、READa によるデータ出力は T5 で終了し、T6 から READb によるデータ出力が開始されます。

バンク A に対するバースト・リード動作の実行中に、バンク B に対してバースト・リード動作を実行すると、最初のバースト・リード動作 (バンク A のバースト・リード) は中断され、次に入力されたリード・コマンドによるバースト・リード動作 (バンク B のバースト・リード) が優先されます。

図11 - 2 バースト・リード動作 (中断) バースト・リード動作



## 11.2.2 バースト・リード動作 バースト・ライト動作

### (1) バースト・リード動作 (完了) バースト・ライト動作

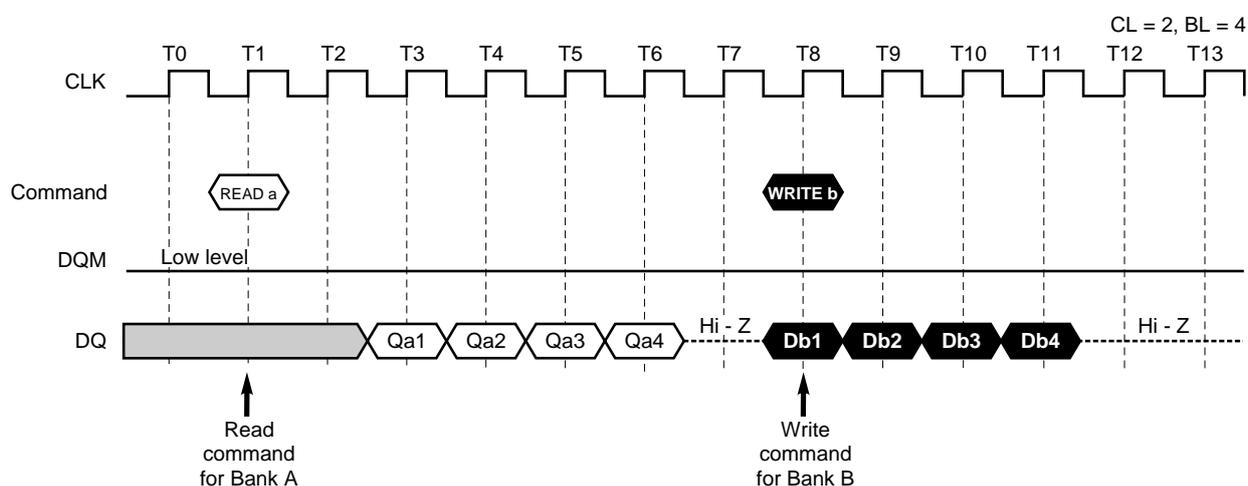
バンク A のバースト・リード動作において、最終データを出力した後、新たにバンク B へライト・データを入力するタイミング例を図 11-3 に示します。

T1 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T8 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、READa によるデータ出力は T6 で終了 (完了) し、T8 から WRITEb によるデータ入力が始まります。

このようなタイミングで、バンク B に対するバースト・ライト動作を実行すると、最も効率的にデータを入力することができ、データ・バスを有効に使うことができます。

また、データ・バス上でデータの衝突を避けるため、ライト・コマンドを入力する 1 クロック前 (T7) は、ハイ・インピーダンス状態になっている必要があります。

図11-3 バースト・リード動作 (完了) バースト・ライト動作



## (2) バースト・リード動作 (中断) バースト・ライト動作

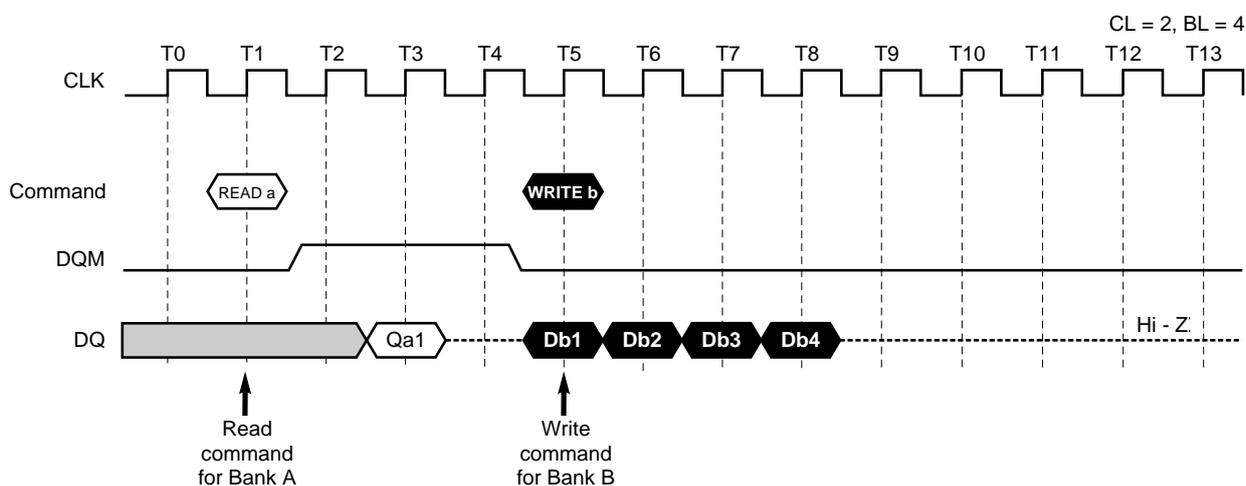
バンク A のバースト・リード動作において、データ出力を中断させ、新たにバンク B へライト・データを入力するタイミング例を図 11 - 4 に示します。

T1 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T5 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、READa によるデータ出力は T3 で終了し、T5 から WRITEb によるデータ入力が始まります。

また、データ・バス上でデータの衝突を避けるため、ライト・コマンドを入力する 1 クロック前 (T4) は、DQM をハイ・レベルにして、データ・バスをハイ・インピーダンス状態にしておく必要があります。リードに対する DQM レーテンシは 2 クロックであるので、T4 でデータをマスクするためには、T2 で DQM をハイ・レベルにします。また、バースト長が 4 であるため、データは T5、T6 と出力されるので、同様に T3、T4 で DQM をハイ・レベルにし、出力データをマスクします。

また、T4 のタイミング以前にバンク B に対するライト・コマンドを入力することはできません。

図11 - 4 バースト・リード動作 (中断) バースト・ライト動作



### 11.2.3 バースト・ライト動作 バースト・リード動作

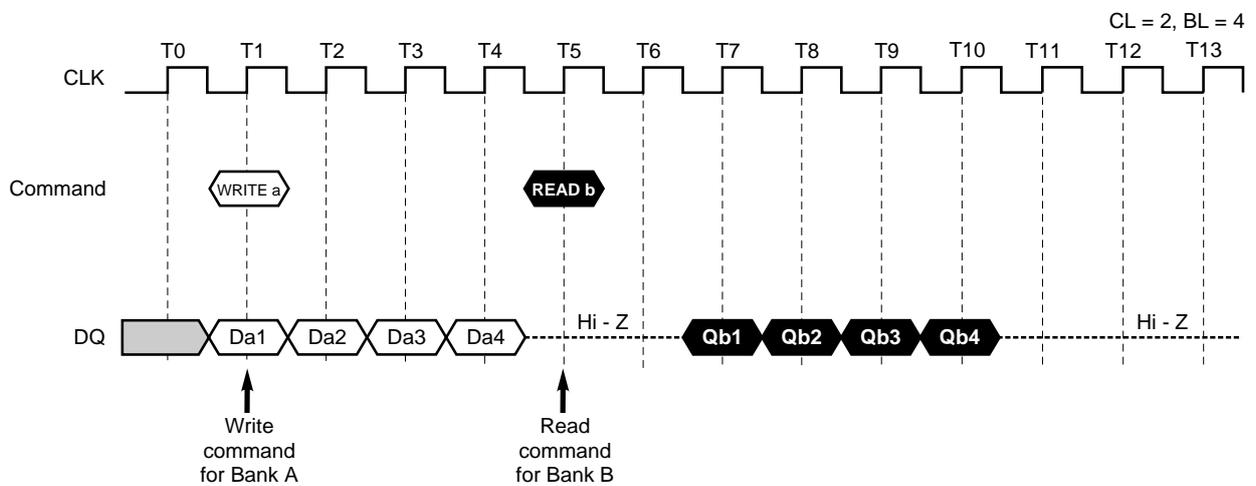
#### (1) バースト・ライト動作 (完了) バースト・リード動作

バンク A のバースト・ライト動作において、最終データを入力後、新たにバンク B のデータを出力させるタイミング例を図 11 - 5 に示します。

T1 のタイミングで、バンク A に対するライト・コマンド (WRITE a) を入力し、T5 のタイミングで、バンク B に対するリード・コマンド (READ b) を入力した場合、WRITE a によるデータ入力は T4 で終了 (完了) し、T7 から READ b によるデータ出力が開始されます。

このようなタイミングで、バンク B に対するバースト・リード動作を実行すると、最も効率的にデータを出力することができ、データ・バスを有効に使うことができます。

図11 - 5 バースト・ライト動作 (完了) バースト・リード動作

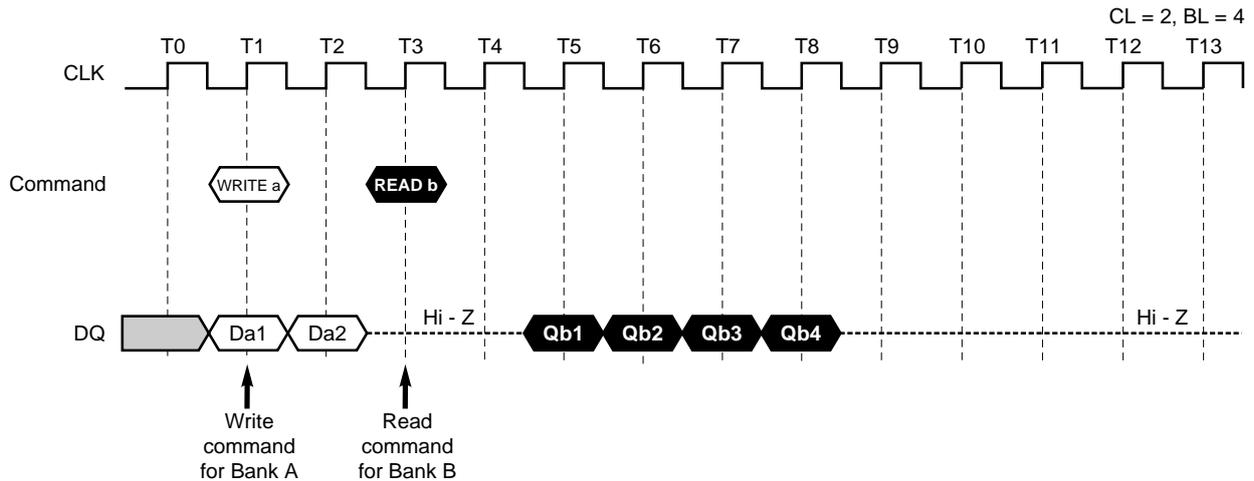


## (2) バースト・ライト動作 (中断) バースト・リード動作

バンク A のバースト・ライト動作において、データ入力を中断させ、新たにバンク B のリード・データを出力するタイミング例を図 11 - 6 に示します。

T1 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T3 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、WRITEa によるデータ入力は T2 で終了し、T5 から READb によるデータ出力が開始されます。このときバンク A に対するバースト・ライト動作は、READb の入力より前に入力されたライト・データだけが書き込まれます。

図11 - 6 バースト・ライト動作 (中断) バースト・リード動作



## 11.2.4 バースト・ライト動作 バースト・ライト動作

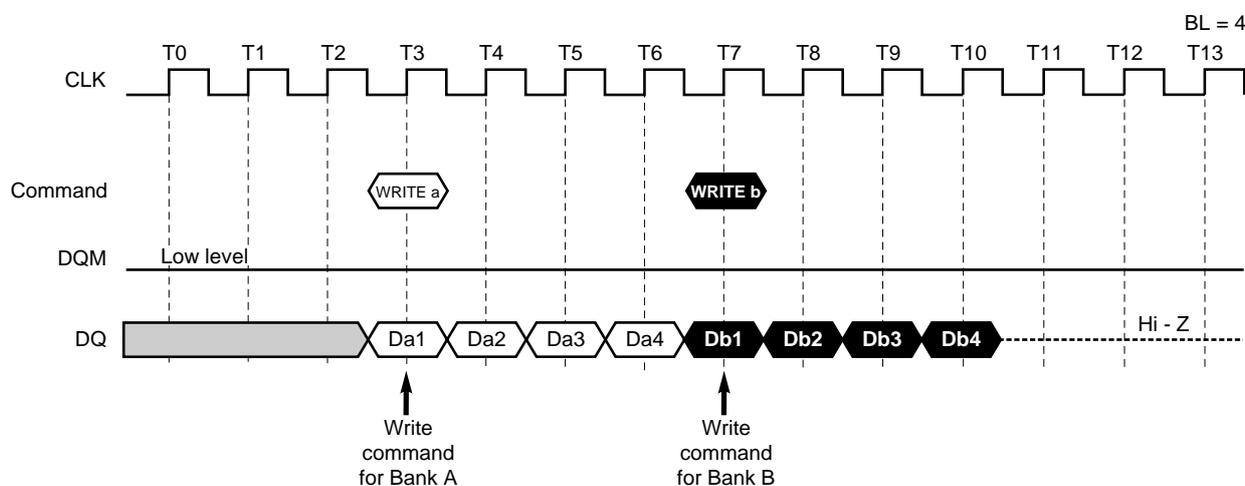
### (1) バースト・ライト動作 (完了) バースト・ライト動作

バンク A のバースト・ライト動作において、最終データを入力した次のクロックで、新たにバンク B へデータを入力させるタイミング例を図 11-7 に示します。

T3 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T7 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、WRITEa によるデータ入力は T6 で終了 (完了) し、T7 から WRITEb によるデータ入力が始まります。

このようなタイミングで、バンク B に対するバースト・ライト動作を実行すると、それぞれのバンクへバースト・データを連続して入力させることができ、データ・バスを有効に使うことができます。

図11-7 バースト・ライト動作 (完了) バースト・ライト動作



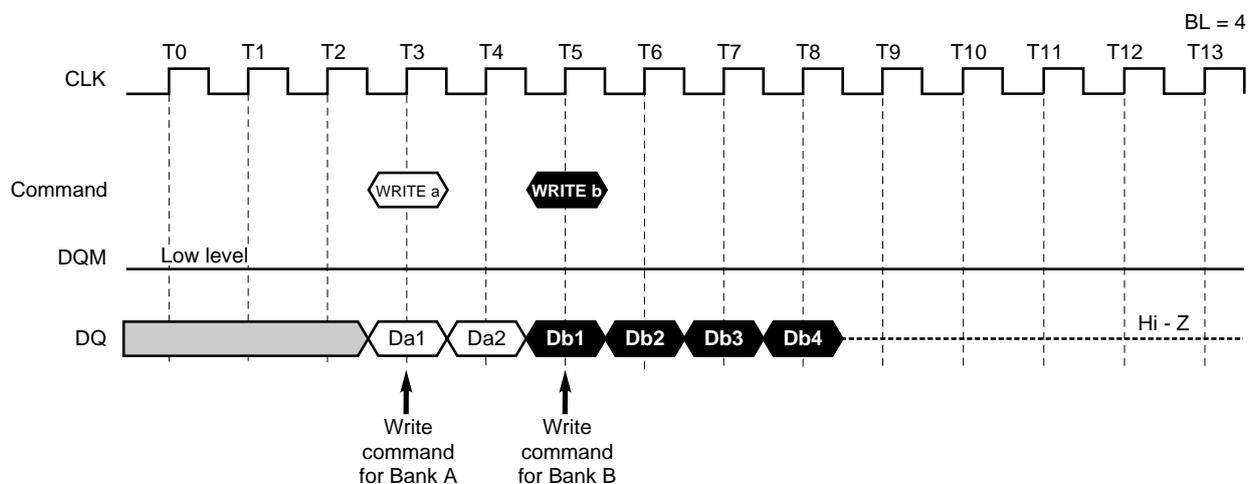
## (2) パースト・ライト動作 (中断) パースト・ライト動作

バンク A のパースト・ライト動作において、データ入力を中断させ、新たにバンク B へデータを入力させるタイミング例を図 11 - 8 に示します。

T3 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T5 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、WRITEa によるデータ入力は T4 で終了し、T5 から WRITEb によるデータ入力が始まります。

バンク A に対するパースト・ライト動作の実行中に、バンク B に対してパースト・ライト動作を実行すると、最初のパースト・ライト動作 (バンク A へのパースト・ライト) は中断され、次に入力されたライト・コマンドによるパースト・ライト動作 (バンク B へのパースト・ライト) が優先されます。

図11 - 8 パースト・ライト動作 (中断) パースト・ライト動作



### 11.3 バースト動作（リードまたはライト）を実行中に，別のバンクを活性化し，そのバンクに対してバースト動作（リードまたはライト）を実行する場合

この節で示しているタイミング例は，バンク A のバースト動作（リードまたはライト）実行中に，アクティブ・コマンドを用いてバンク B を活性化したのち，バンク B のバースト動作（リードまたはライト）を実行する場合のマルチ・バンク・オペレーションの例です。また，各節では，バンク A のバースト動作終了（完了）後，バンク B を活性化し，バンク B のバースト動作を開始するタイミングと，バンク A のバースト動作を中断し，バンク B を活性化し，バンク B のバースト動作を開始するタイミングの 2 種類を例として上げております。

なお，タイミング例は，/CAS レーテンシ（CL）= 2，バースト長（BL）= 4 とし，バンク A は，活性状態（アクティブ・コマンドを入力後， $t_{\text{RCD(MIN.)}}$  以上経過している），バンク B は，アイドル状態（プリチャージ・コマンドを入力後， $t_{\text{RP(MIN.)}}$  以上経過している）としています。

また，ここで取り上げている A，B バンクの組み合わせ以外にも，いろいろなバンクの組み合わせが可能です。

現在の動作（バンク A）		次の動作（バンク B）	最後の動作（バンク B）	タイミング例
バースト・リード	完了	バンクの活性化	バースト・リード	図 11 - 9 参照
	中断			図 11 - 10 参照
バースト・リード	完了		バースト・ライト	図 11 - 11 参照
	中断			図 11 - 12 参照
バースト・ライト	完了		バースト・リード	図 11 - 13 参照
	中断			図 11 - 14 参照
バースト・ライト	完了		バースト・ライト	図 11 - 15 参照
	中断			図 11 - 16 参照

### 11.3.1 バースト・リード動作 別のバンクの活性化 バースト・リード動作

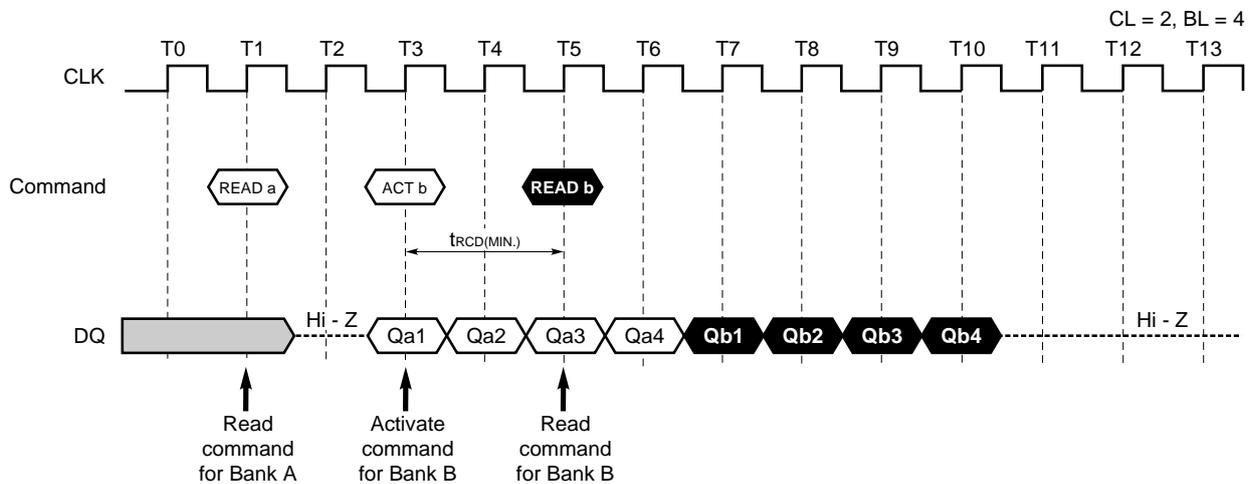
#### (1) バースト・リード動作 (完了) 別のバンクの活性化 そのバンクへのバースト・リード動作

バンク A のバースト・リード動作において、最終データを出力した次のクロックで、アイドル状態にあるバンク B を活性化し、新たにバンク B のデータを出力させるタイミング例を図 11 - 9 に示します。

T1 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T3 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T5 のタイミングで、バンク B に対してリード・コマンド (READb) を入力した場合、READa によるデータ出力は T6 で終了 (完了) し、T7 から READb によるデータ出力が開始されます。

このようなタイミングで、バンク B に対するバースト・リード動作を実行すると、それぞれのバンクのバースト・データを連続して出力させることができ、データ・バスを有効に使うことができます。

図11 - 9 バースト・リード動作 (完了) 別のバンクの活性化 そのバンクへのバースト・リード動作



## (2) バースト・リード動作（中断） 別のバンクの活性化 そのバンクへのバースト・リード動作

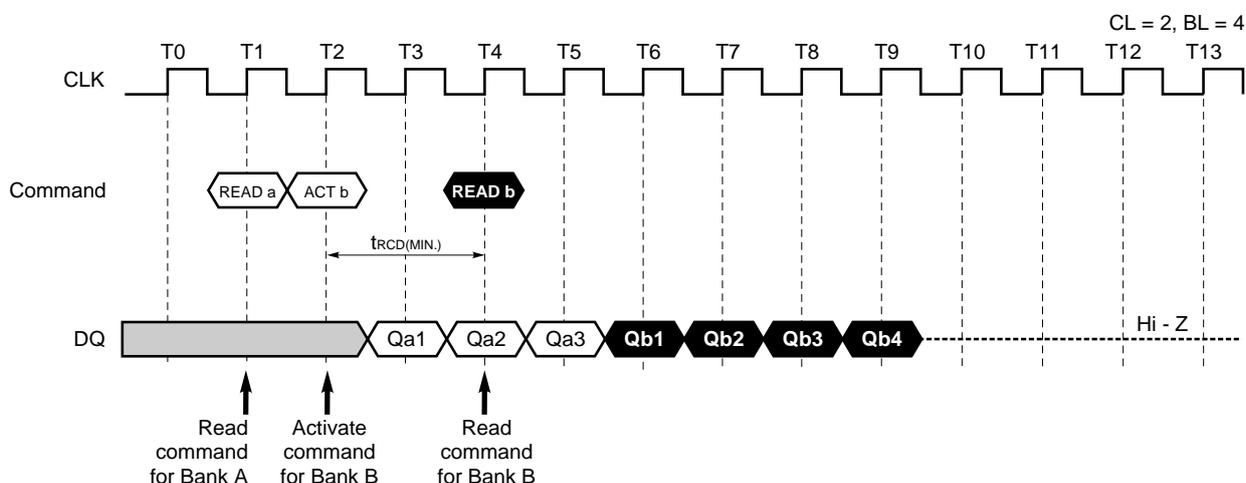
バンク A のバースト・リード動作において、データ出力を中断させ、アイドル状態にあるバンク B を活性化させ、新たにバンク B のデータを出させるタイミング例を図 11 - 10 に示します。

T1 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T2 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T4 のタイミングで、バンク B に対してリード・コマンド (READb) を入力した場合、READa によるデータ出力は T5 で終了し、T6 から READb によるデータ出力が開始されます。

バンク A に対するバースト・リード動作の実行中に、バンク B に対してバースト・リード動作を実行すると、最初の動作（バンク A のバースト・リード）は中断され、次に入力されたリード・コマンドによるバースト・リード動作（バンク B のバースト・リード）が優先されます。

また、T3 のタイミング以前にバンク B に対するリード・コマンドを入力することはできません。

図11 - 10 バースト・リード動作（中断） 別のバンクの活性化 そのバンクへのバースト・リード動作



### 11.3.2 バースト・リード動作 別のバンクの活性化 バースト・ライト動作

#### (1) バースト・リード動作 (完了) 別のバンクの活性化 そのバンクへのバースト・ライト動作

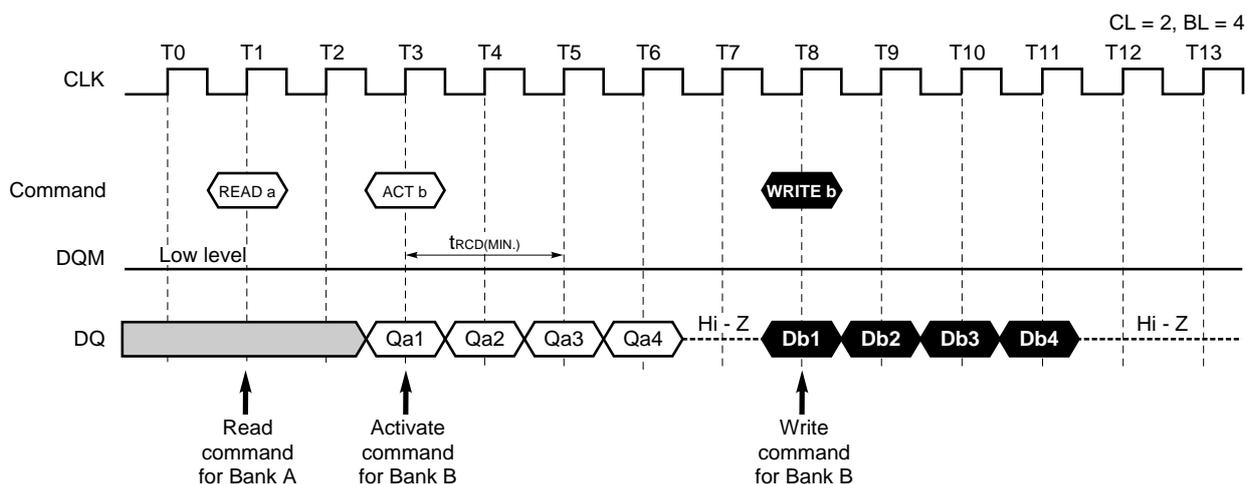
バンク A のバースト・リード動作において、最終データを出力した後、アイドル状態にあるバンク B を活性化させ、新たにバンク B へライト・データを入力するタイミング例を図 11 - 11 に示します。

T1 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T3 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力し、バンク B を活性化させた後、T8 のタイミングで、バンク B に対してライト・コマンド (WRITEb) を入力した場合、READa によるデータ出力は T6 で終了 (完了) し、T8 から WRITEb によるデータ入力が始まります。

このようなタイミングで、バンク B に対するバースト・ライト動作を実行すると、最も効率的にデータを入力することができ、データ・バスを有効に使うことができます。

また、データ・バス上でデータの衝突を避けるため、ライト・コマンドを入力する 1 クロック前 (T7) は、ハイ・インピーダンス状態になっている必要があります。

図11 - 11 バースト・リード動作 (完了) 別のバンクの活性化 そのバンクへのバースト・ライト動作



## (2) バースト・リード動作（中断） 別のバンクの活性化 そのバンクへのバースト・ライト動作

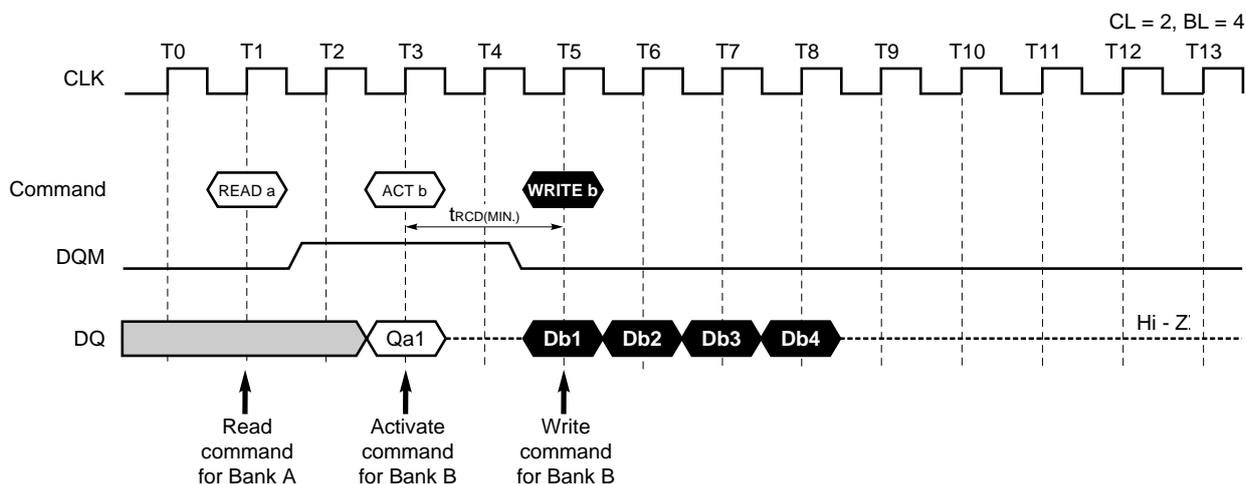
バンク A のバースト・リード動作において、データ出力を中断させ、アイドル状態にあるバンク B を活性化し、新たにバンク B へライト・データを入力するタイミング例を図 11 - 12 に示します。

T1 のタイミングで、バンク A に対するリード・コマンド (READa) を入力し、T3 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T5 のタイミングで、バンク B に対してライト・コマンド (WRITEb) を入力した場合、READa によるデータ出力は T3 で終了し、T5 から WRITEb によるデータ入力が始まります。

また、データ・バス上でデータの衝突を避けるため、ライト・コマンドを入力する 1 クロック前 (T4) は、DQM をハイ・レベルにして、データ・バスをハイ・インピーダンス状態にしておく必要があります。リードに対する DQM レーテンシは 2 クロックであるので、T4 でデータをマスクするためには、T2 で DQM をハイ・レベルにします。また、バースト長が 4 であるため、データは T5, T6 と出力されるので、同様に T3, T4 で DQM をハイ・レベルにし、出力データをマスクします。

また、T4 のタイミング以前にバンク B に対するライト・コマンドを入力することはできません。

図11 - 12 バースト・リード動作（中断） 別のバンクの活性化 そのバンクへのバースト・ライト動作



### 11.3.3 バースト・ライト動作 別のバンク活性化 バースト・リード動作

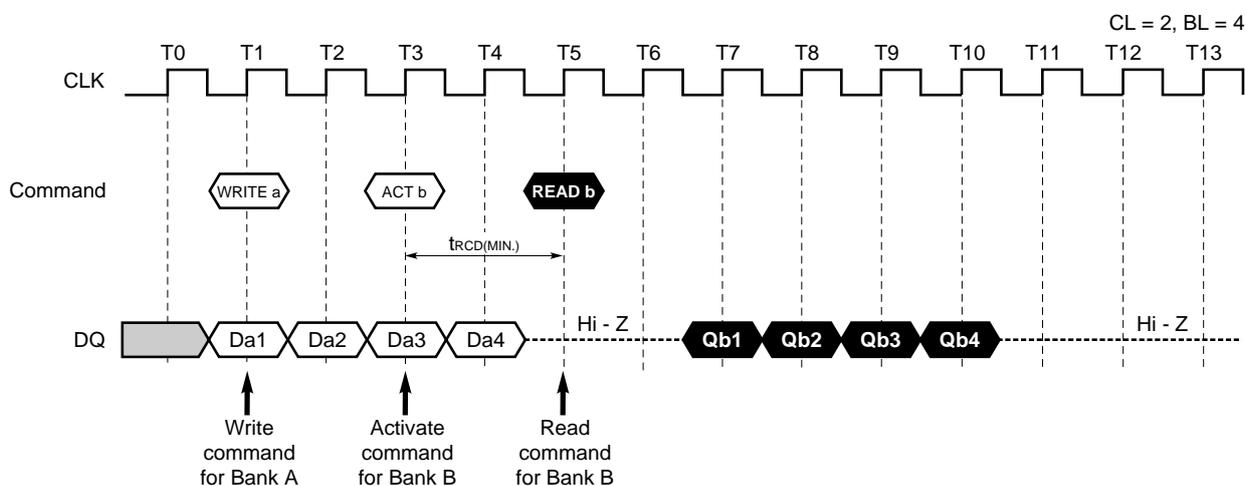
#### (1) バースト・ライト動作 (完了) 別のバンクの活性化 そのバンクへのバースト・リード動作

バンク A のバースト・ライト動作において、最終データを入力後、アイドル状態にあるバンク B を活性化し、新たにバンク B のデータを出力させるタイミング例を図 11 - 13 に示します。

T1 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T3 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T5 のタイミングで、バンク B に対してリード・コマンド (READb) を入力した場合、WRITEa によるデータ入力は T4 で終了 (完了) し、T7 から READb によるデータ出力が開始されます。

このようなタイミングで、バンク B に対するバースト・リード動作を実行すると、最も効率的にデータを出力することができ、データ・バスを有効に使うことができます。

図11 - 13 バースト・ライト動作 (完了) 別のバンクの活性化 そのバンクへのバースト・リード動作



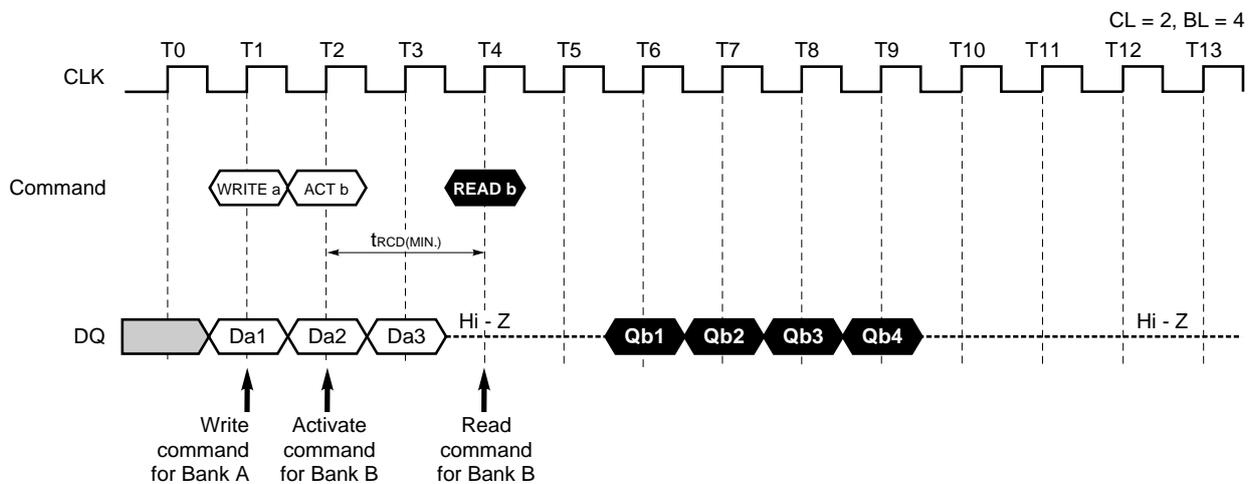
## (2) バースト・ライト動作（中断） 別のバンクの活性化 そのバンクへのバースト・リード動作

バンク A のバースト・ライト動作において、データ入力を中断させ、アイドル状態にあるバンク B を活性化し、新たにバンク B のリード・データを出力するタイミング例を図 11 - 14 に示します。

T1 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T2 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T4 のタイミングで、バンク B に対してリード・コマンド (READb) を入力した場合、WRITEa によるデータ入力は T3 で終了し、T6 から READb によるデータ出力が開始されます。このときバンク A に対するバースト・ライト動作は、READb の入力より前に入力されたライト・データだけが書き込まれます。

また、T3 のタイミング以前にバンク B に対するライト・コマンドを入力することはできません。

図11 - 14 バースト・ライト動作（中断） 別のバンクの活性化 そのバンクへのバースト・リード動作



### 11.3.4 バースト・ライト動作 別のバンク活性化 バースト・ライト動作

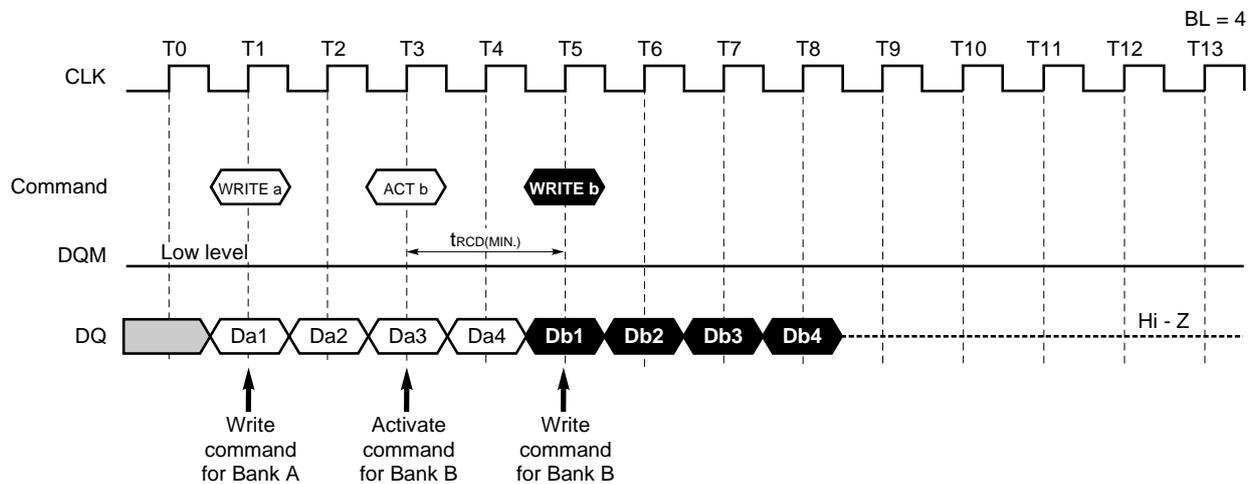
#### (1) バースト・ライト動作 (完了) 別のバンクの活性化 そのバンクへのバースト・ライト動作

バンク A のバースト・ライト動作において、最終データを入力した次のクロックで、アイドル状態にあるバンク B を活性化し、新たにバンク B へデータを入力させるタイミング例を図 11 - 15 に示します。

T1 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T3 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T5 のタイミングで、バンク B に対してライト・コマンド (WRITEb) を入力した場合、WRITEa によるデータ入力は T4 で終了 (完了) し、T5 から WRITEb によるデータ入力が始まります。

このようなタイミングで、バンク B に対するバースト・ライト動作を実行すると、それぞれのバンクへバースト・データを連続して入力させることができ、データ・バスを有効に使うことができます。

図11 - 15 バースト・ライト動作 (完了) 別のバンクの活性化 そのバンクへのバースト・ライト動作



## (2) パースト・ライト動作（中断） 別のバンクの活性化 そのバンクへのパースト・ライト動作

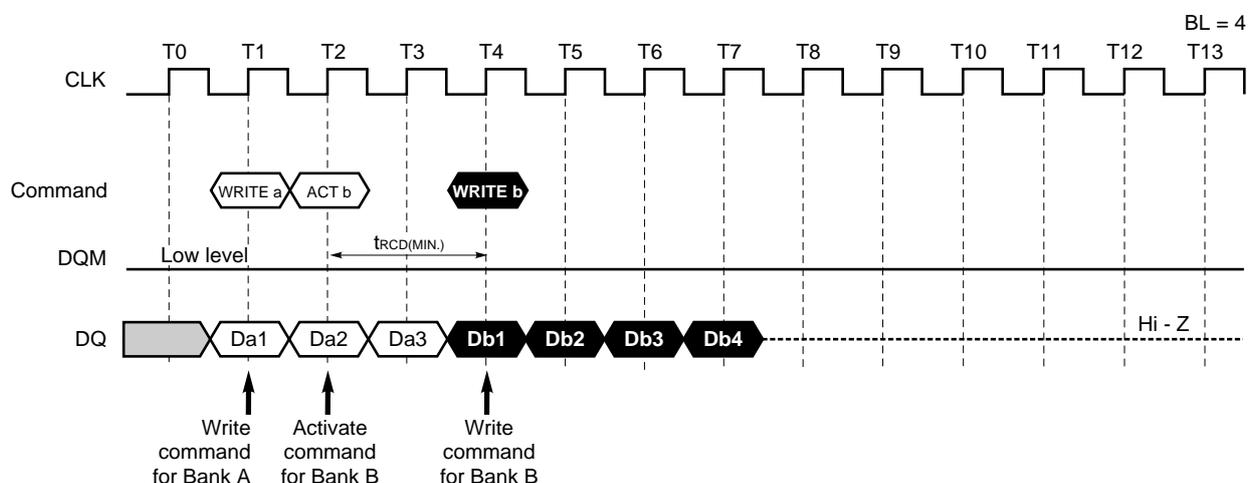
バンク A のパースト・ライト動作において、データ入力を中断させ、アイドル状態にあるバンク B を活性化し、新たにバンク B へデータを入力させるタイミング例を図 11 - 16 に示します。

T1 のタイミングで、バンク A に対するライト・コマンド (WRITEa) を入力し、T2 のタイミングでバンク B に対するアクティブ・コマンド (ACTb) を入力して、バンク B を活性化させた後、T4 のタイミングで、バンク B に対してライト・コマンド (WRITEb) を入力した場合、WRITEa によるデータ入力は T3 で終了し、T4 から WRITEb によるデータ入力が始まります。

バンク A に対するパースト・ライト動作の実行中に、バンク B に対してパースト・ライト動作を実行すると、最初のパースト・ライト動作（バンク A のパースト・ライト）は中断され、次に入力されたライト・コマンドによるパースト・ライト動作（バンク B のパースト・ライト）が優先されます。

また、T3 のタイミング以前にバンク B に対するライト・コマンドを入力することはできません。

図11 - 16 パースト・ライト動作（中断） 別のバンクの活性化 そのバンクへのパースト・ライト動作



## 11.4 オート・プリチャージ付きのバースト動作（リードまたはライト）を実行中に、別のバンクに対してバースト動作（リードまたはライト）を実行する場合

この節で示しているタイミング例は、バンク A のオート・プリチャージ付きバースト動作（リードまたはライト）を実行中に、バンク B に対してバースト動作（リードまたはライト）を実行する場合のマルチ・バンク・オペレーションの例です。また、各節では、バンク A のオート・プリチャージ付きバースト動作終了（完了）後、バンク B のバースト動作を開始するタイミングと、バンク A のオート・プリチャージ付きバースト動作を中断して、バンク B のバースト動作を開始するタイミングの 2 種類を例として上げております。

なお、タイミング例は、/CAS レーテンシ (CL) = 2, バースト長 (BL) = 4 とし、バンク A およびバンク B は、ともに活性状態（両バンクともにアクティブ・コマンドを入力後、 $t_{\text{RCD(MIN.)}}$ 以上経過している）としています。

また、ここで取り上げている A, B バンクの組み合わせ以外にも、いろいろなバンクの組み合わせが可能です。

現在の動作（バンク A）		次の動作（バンク B）	タイミング例
オート・プリチャージ付き	完了	バースト・リード	図 11 - 17 参照
バースト・リード	中断		図 11 - 18 参照
オート・プリチャージ付き	完了	バースト・ライト	図 11 - 19 参照
バースト・リード	中断		図 11 - 20 参照
オート・プリチャージ付き	完了	バースト・リード	図 11 - 21 参照
バースト・ライト	中断		図 11 - 22 参照
オート・プリチャージ付き	完了	バースト・ライト	図 11 - 23 参照
バースト・ライト	中断		図 11 - 24 参照

### 11.4.1 オート・プリチャージ付きバースト・リード動作 バースト・リード動作

#### (1) オート・プリチャージ付きバースト・リード動作 (完了) バースト・リード動作

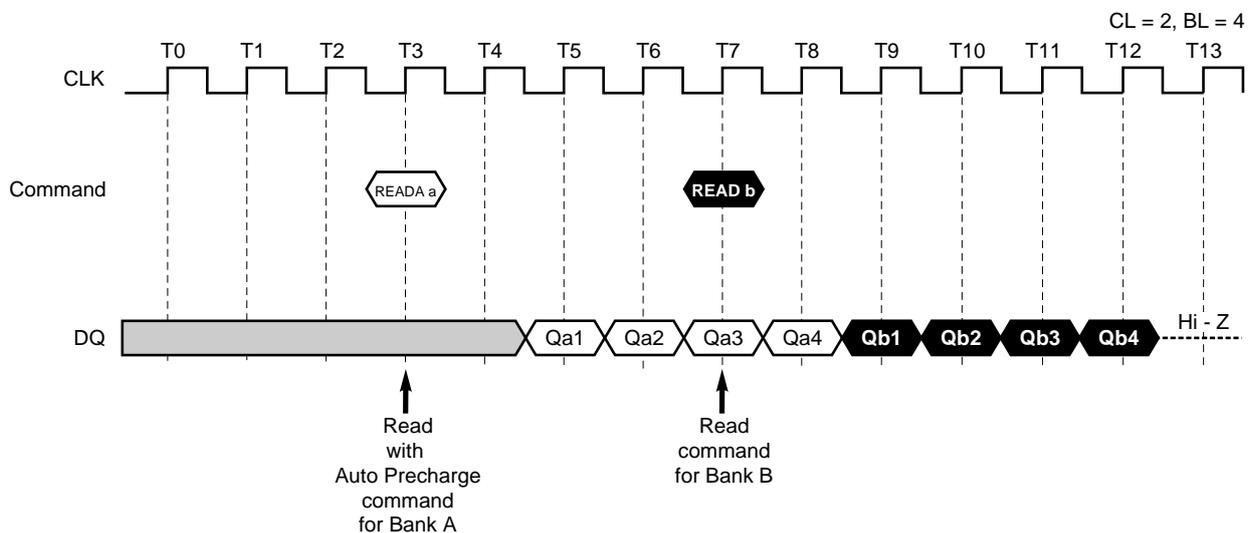
バンク A のオート・プリチャージ付きバースト・リード動作において、最終データを出した次のクロックで、新たにバンク B のデータを出させるタイミング例を図 11 - 17 に示します。

T3 のタイミングで、バンク A に対するオート・プリチャージ付きリード・コマンド (READAa) を入力し、T7 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、READAa によるデータ出力は T8 で終了 (完了) し、T9 から READb によるデータ出力が開始されます。

このようなタイミングで、バンク B に対するバースト・リード動作を実行すると、それぞれのバンクのバースト・データを連続して出力させることができ、データ・バスを有効に使うことができます。

なお、バンク A に対するオート・プリチャージ動作は、T7 のタイミングで開始されます。

図11 - 17 オート・プリチャージ付きバースト・リード動作 (完了) バースト・リード動作



**(2) オート・プリチャージ付きバースト・リード動作（中断） バースト・リード動作**

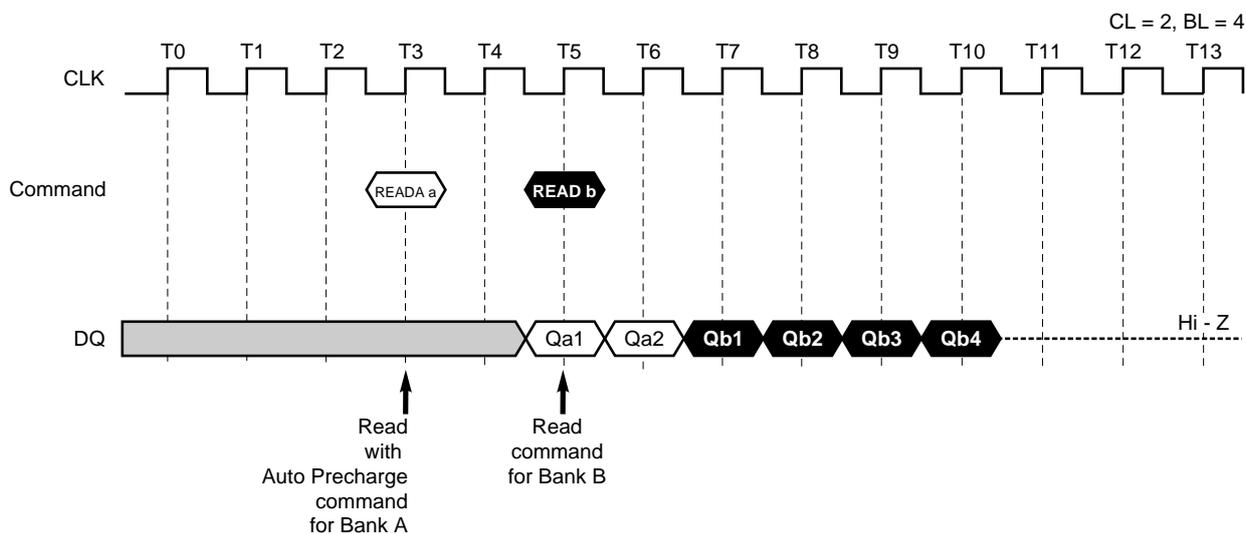
バンク A のオート・プリチャージ付きバースト・リード動作において、データ出力を中断させ、新たにバンク B のデータを出させるタイミング例を図 11 - 18 に示します。

T3 のタイミングで、バンク A に対するオート・プリチャージ付きリード・コマンド (READAa) を入力し、T5 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、READAa によるデータ出力は T6 で終了し、T7 から READb によるデータ出力が開始されます。

バンク A に対するオート・プリチャージ付きバースト・リード動作の実行中に、バンク B に対してバースト・リード動作を実行すると、最初のバースト・リード動作（バンク A のオート・プリチャージ付きバースト・リード）は中断され、次に入力されたリード・コマンドによるバースト・リード動作（バンク B のバースト・リード）が優先されます。

ただし、バンク A に対するオート・プリチャージ機能はリード・サイクルが中断されても有効で、T5 でバンク B に対するリード・コマンドを入力するとすぐに、バンク A のプリチャージが開始され、T5 を基準として、 $t_{RP}+1$  サイクル後、バンク A はアイドル状態になります。

**図11 - 18 オート・プリチャージ付きバースト・リード動作（中断） バースト・リード動作**



## 11.4.2 オート・プリチャージ付きバースト・リード動作 バースト・ライト動作

### (1) オート・プリチャージ付きバースト・リード動作 (完了) バースト・ライト動作

バンク A のオート・プリチャージ付きバースト・リード動作において、最終データを出力した後、新たにバンク B へライト・データを入力するタイミング例を図 11 - 19 に示します。

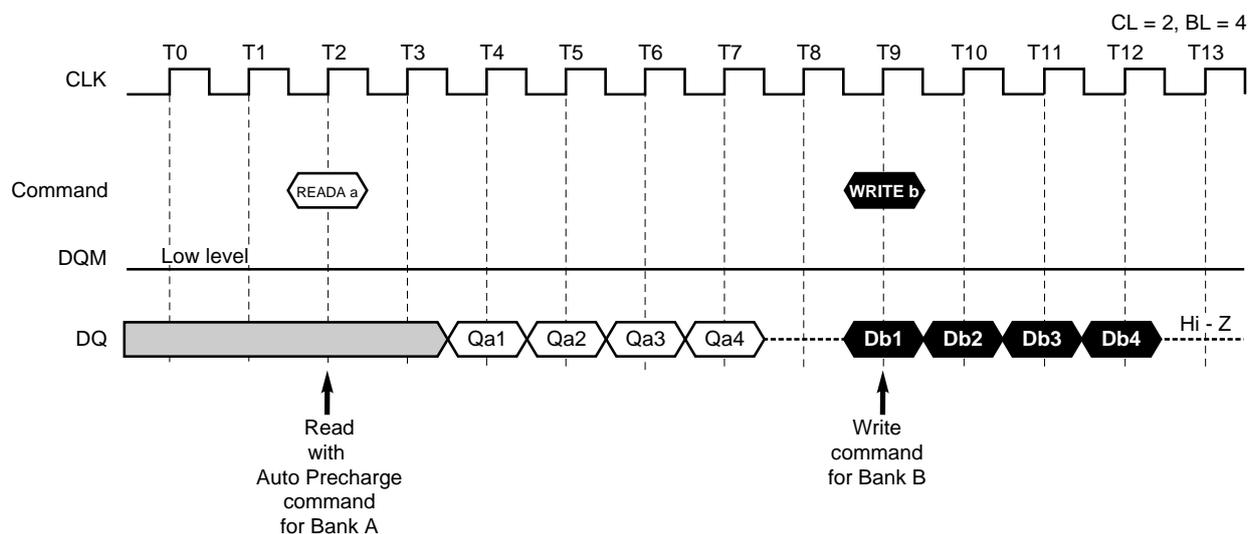
T2 のタイミングで、バンク A に対するオート・プリチャージ付きリード・コマンド (READAa) を入力し、T9 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、READAa によるデータ出力は T7 で終了 (完了) し、T9 から WRITEb によるデータ入力が始まります。

このようなタイミングで、バンク B に対するバースト・ライト動作を実行すると、最も効率的にデータを入力することができ、データ・バスを有効に使うことができます。

また、データ・バス上でデータの衝突を避けるため、ライト・コマンドを入力する 1 クロック前 (T7) は、ハイ・インピーダンス状態になっている必要があります。

なお、バンク A に対するオート・プリチャージ動作は、T7 のタイミングで開始されます。

図 11 - 19 オート・プリチャージ付きバースト・リード動作 (完了) バースト・ライト動作



**(2) オート・プリチャージ付きバースト・リード動作（中断） バースト・ライト動作**

バンク A のオート・プリチャージ付きバースト・リード動作において、データ出力を中断させ、新たにバンク B へライト・データを入力するタイミング例を図 11 - 20 に示します。

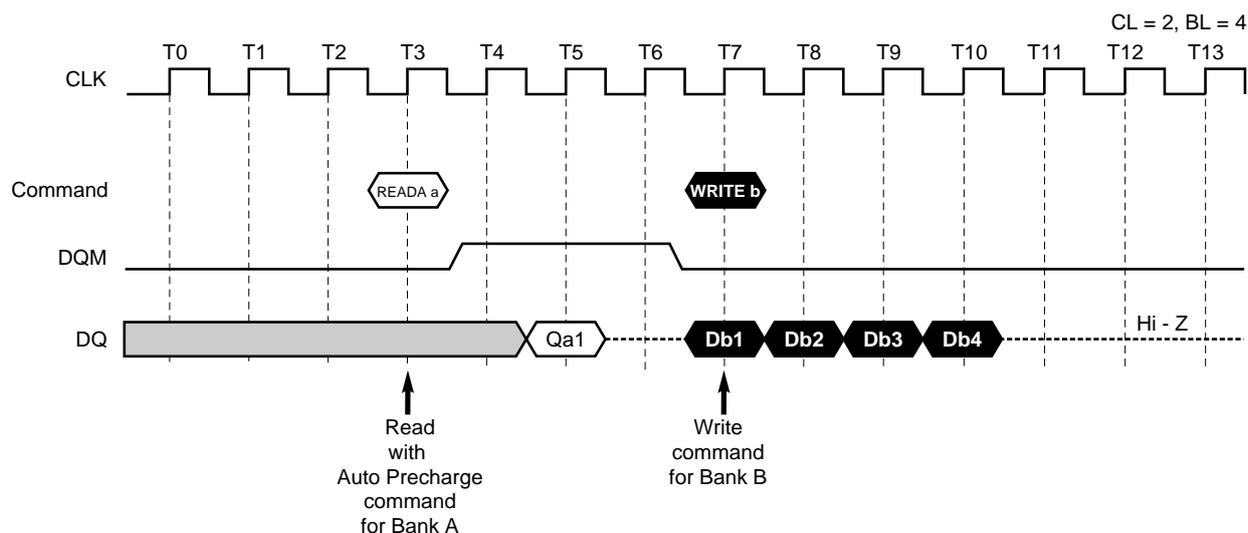
T3 のタイミングで、バンク A に対するオート・プリチャージ付きリード・コマンド (READAa) を入力し、T7 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、READAa によるデータ出力は T5 で終了し、T7 から WRITEb によるデータ入力が始まります。

また、データ・バス上でデータの衝突を避けるため、ライト・コマンドを入力する 1 クロック前 (T6) は、DQM をハイ・レベルにして、データ・バスをハイ・インピーダンス状態にしておく必要があります。リードに対する DQM レーテンシは 2 クロックであるので、T6 でデータをマスクするためには、T4 で DQM をハイ・レベルにします。また、バースト長が 4 であるため、データは T7、T8 と出力されるので、同様に T5、T6 で DQM をハイ・レベルにし、出力データをマスクします。

ただし、バンク A に対するオート・プリチャージ機能はリード・サイクルが中断されても有効で、T7 でバンク B に対するリード・コマンドを入力するとすぐに、バンク A のプリチャージが開始され、T7 を基準に  $t_{RP}+1$  サイクル後、バンク A はアイドル状態になります。

また、T6 のタイミング以前にバンク B に対するライト・コマンドを入力することはできません。

図 11 - 20 オート・プリチャージ付きバースト・リード動作（中断） バースト・ライト動作



### 11.4.3 オート・プリチャージ付きバースト・ライト動作 バースト・リード動作

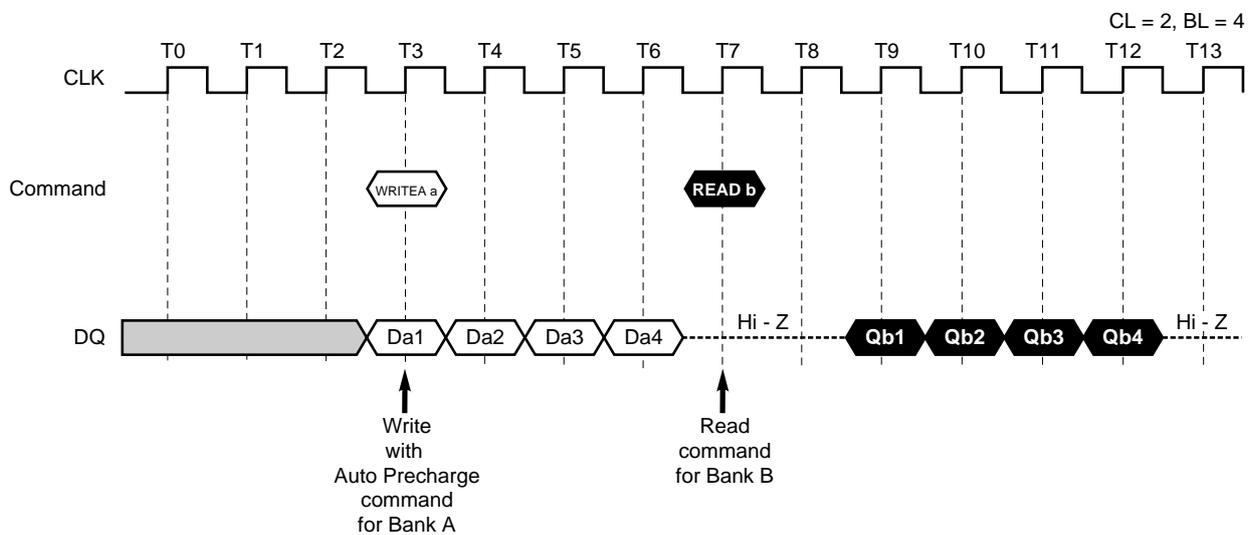
#### (1) オート・プリチャージ付きバースト・ライト動作 (完了) バースト・リード動作

バンク A のオート・プリチャージ付きバースト・ライト動作において、最終データを入力後、新たにバンク B のデータを出力させるタイミング例を図 11 - 21 に示します。

T3 のタイミングで、バンク A に対するオート・プリチャージ付きライト・コマンド (WRITEAa) を入力し、T7 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、WRITEAa によるデータ入力は T6 で終了 (完了) し、T9 から READb による出力が開始されます。

このようなタイミングで、バンク B に対するバースト・リード動作を実行すると、最も効率的にデータを出力することができ、データ・バスを有効に使うことができます。

図 11 - 21 オート・プリチャージ付きバースト・ライト動作 (完了) バースト・リード動作



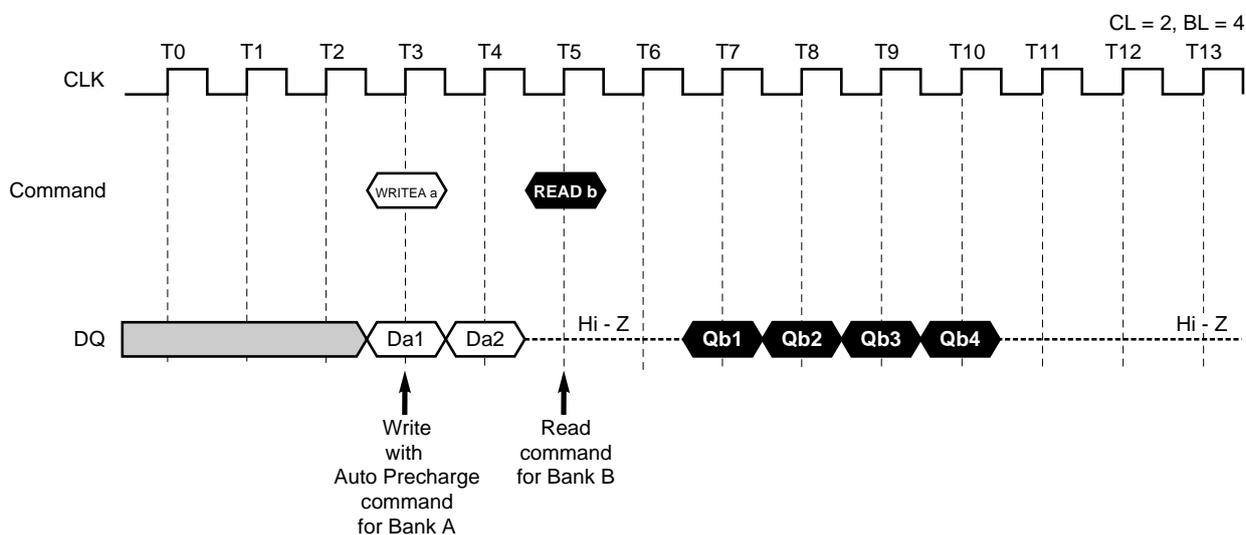
## (2) オート・プリチャージ付きバースト・ライト動作（中断） バースト・リード動作

バンク A のオート・プリチャージ付きバースト・ライト動作において、データ入力を中断させ、新たにバンク B からのリード・データを出力するタイミング例を図 11 - 22 に示します。

T3 のタイミングで、バンク A に対するオート・プリチャージ付きライト・コマンド (WRITEAa) を入力し、T5 のタイミングで、バンク B に対するリード・コマンド (READb) を入力した場合、WRITEAa によるデータ入力は T4 で終了し、T7 から READb によるデータ出力が開始されます。このときバンク A に対するバースト・ライト動作は、READb の入力より前に入力されたライト・データだけが書き込まれます。

ただし、バンク A に対するオート・プリチャージ機能はライト・サイクルが中断されても有効で、T5 でバンク B に対するリード・コマンドを入力するとすぐに、バンク A のプリチャージが開始され、T5 を基準に  $t_{DAL(MIN.)} + 1CLK$  後 (Intel® スペックでは  $t_{DAL(MIN.)} + 2CLK$  後)、バンク A はアイドル状態になります。

図 11 - 22 オート・プリチャージ付きバースト・ライト動作（中断） バースト・リード動作



#### 11.4.4 オート・プリチャージ付きバースト・ライト動作 バースト・ライト動作

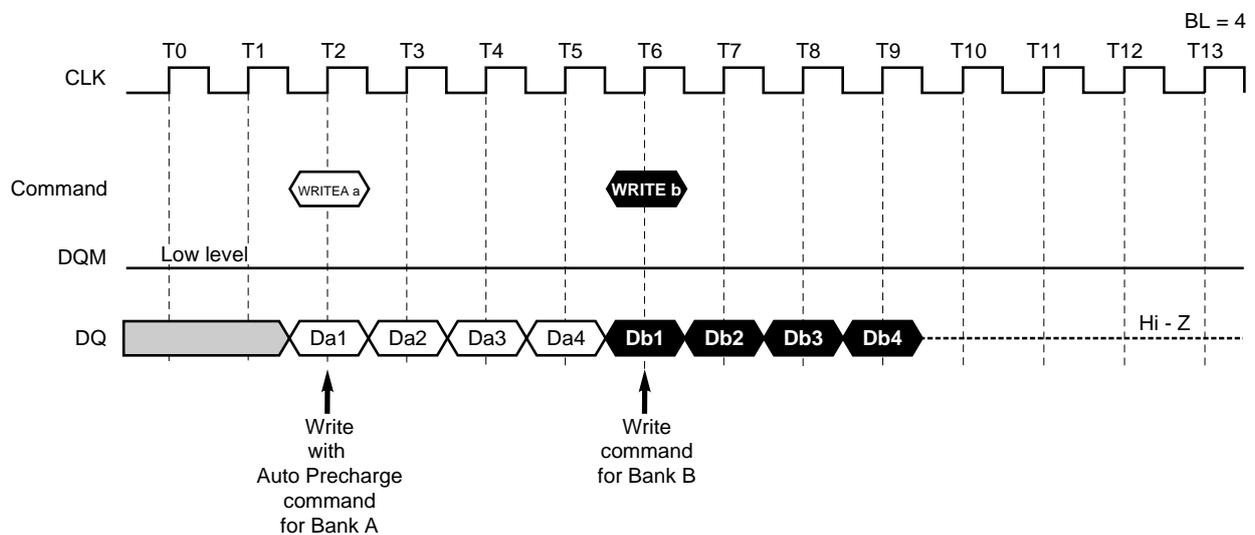
##### (1) オート・プリチャージ付きバースト・ライト動作 (完了) バースト・ライト動作

バンク A のオート・プリチャージ付きバースト・ライト動作において、最終データを入力した次のクロックで、新たにバンク B へデータを入力させるタイミング例を図 11 - 23 に示します。

T2 のタイミングで、バンク A に対するオート・プリチャージ付きライト・コマンド (WRITEa) を入力し、T6 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、WRITEa によるデータ入力は T5 で終了 (完了) し、T6 から WRITEb による入力が始まります。

このようなタイミングで、バンク B に対するバースト・ライト動作を実行すると、それぞれのバンクへバースト・データを連続して入力させることができ、データ・バスを有効に使うことができます。

図 11 - 23 オート・プリチャージ付きバースト・ライト動作 (完了) バースト・ライト動作



**(2) オート・プリチャージ付きバースト・ライト動作 (中断) バースト・ライト動作**

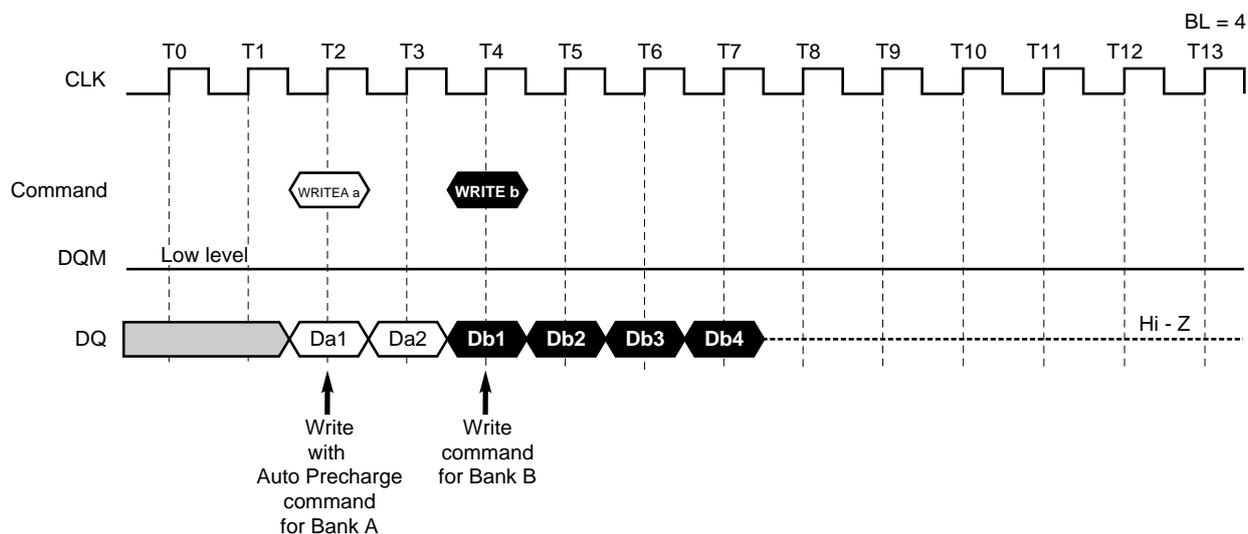
バンク A のオート・プリチャージ付きバースト・ライト動作において、データ入力を中断させ、新たにバンク B へデータを入力させるタイミング例を図 11 - 24 に示します。

T2 のタイミングで、バンク A に対するオート・プリチャージ付きライト・コマンド (WRITEAa) を入力し、T4 のタイミングで、バンク B に対するライト・コマンド (WRITEb) を入力した場合、WRITEAa によるデータ入力は T3 で終了し、T4 から WRITEb によるデータ入力が始まります。

バンク A に対するバースト・ライト動作の実行中に、バンク B に対してバースト・ライト動作を実行すると、最初のバースト・ライト動作 (バンク A のオート・プリチャージ付きバースト・ライト) は中断され、次に入力されたライト・コマンドによるバースト・ライト動作 (バンク B のバースト・ライト) が優先されます。

ただし、バンク A に対するオート・プリチャージ機能はライト・サイクルが中断されても有効で、T4 でバンク B に対するリード・コマンドを入力するとすぐに、バンク A のプリチャージが開始され、T4 を基準に  $t_{DAL(MIN.)} + 1CLK$  後 (Intel スペックでは  $t_{DAL(MIN.)} + 2CLK$  後)、バンク A はアイドル状態になります。

**図 11 - 24 オート・プリチャージ付きバースト・ライト動作 (中断) バースト・ライト動作**



## CMOSデバイスの一般的注意事項

### 静電気対策 (MOS全般)

MOSデバイス取り扱いの際は静電気防止を心がけてください。MOSデバイスは強い静電気によってゲート絶縁破壊を生じることがあります。運搬や保存の際には、当社が出荷梱包に使用している導電性のトレイやマガジンケース、または導電性の緩衝材、金属ケースなどを利用し、組み立て工程にはアースを施してください。プラスチック板上に放置したり、端子を触ったりしないでください。また、MOSデバイスを実装したボードについても同様の扱いをしてください。

### 未使用入力の処理 (CMOS特有)

CMOSデバイスの入力レベルは固定してください。バイポーラやNMOSのデバイスと異なり、CMOSデバイスの入力に何も接続しない状態で動作させると、ノイズなどに起因する中間レベル入力が生じ、内部で貫通電流が流れて誤動作を引き起こす恐れがあります。プルアップかプルダウンによって入力レベルを固定してください。また、未使用端子が出力となる可能性 (タイミングは規定しません) を考慮すると、個別に抵抗を介して電源またはグランドに接続することが有効です。資料中に「未使用端子の処理」について記載のある製品については、その内容を守ってください。

### 初期化以前の状態 (MOS全般)

電源投入時、MOSデバイスの初期状態は不定です。分子レベルのイオン注入量等で特性が決定するため、初期状態は製造工程の管理外です。電源投入時の端子の出力状態や入出力設定、レジスタ内容などは保証しておりません。ただし、リセット動作やモード設定で定義している項目については、これらの動作ののちに保証の対象となります。リセット機能を持つデバイスの電源投入後は、まずリセット動作を実行してください。

CMJ0107

本資料の内容は、予告なく変更することがありますので、最新のものであることをご確認の上ご使用ください。

当社の書面による事前承諾なしに本資料の全部または一部を転載、複製することを禁じます。

本資料に記載された製品の使用もしくは本資料に記載の情報の使用に際して、当社は当社もしくは第三者の知的財産権（特許権、著作権、回路配置利用権を含むがこれに限定されない）その他の権利に対する保証または実施権の許諾を行うものではありません。上記使用に起因する第三者所有の権利にかかわる問題が発生した場合、当社はその責を負うものではありませんのでご了承ください。

本資料に記載された回路、ソフトウェア、及びこれらに付随する情報は、半導体製品の動作例、応用例を説明するためのものです。従って、これら回路、ソフトウェア、及びこれらに付随する情報をお客様の機器に使用される場合には、お客様の責任において機器設計をしてください。これらの使用に起因するお客様もしくは第三者の損害に対して、当社は一切その責を負いません。

#### [本製品の用途に関する注意]

本製品は、一般電子機器に汎用標準的な用途で使用されることを想定しております。当社は品質、信頼性の向上に努めておりますが、宇宙、航空、原子力、燃焼制御、運輸、交通、各種安全装置、ライフサポート関連の医療機器等のように、特別な品質、信頼性が要求され、その故障や誤動作が直接人命を脅かしたり、人体に危害を及ぼす恐れのある用途に使用されることは想定しておりません。本製品をこれらの用途で使用されることをお考えのお客様は、事前に当社営業担当までご相談いただきますようお願いいたします。

#### [使用上の注意]

設計に際しては、特に最大定格、動作電源電圧範囲、放熱特性、実装条件及びその他諸条件につきましては、当社保証範囲内でご使用いただきますようお願いいたします。保証値を越えてご使用された場合の故障及び事故につきましては、当社はその責を負いません。また保証値内のご使用であっても半導体製品について通常予測される故障発生率、故障モードをご考慮の上、当社製品の動作が原因でご使用機器が人身事故、火災事故、その他の拡大損害を生じないようにフェールセーフ等のシステム上の対策を講じていただきますようお願いいたします。

#### [使用環境に関する注意]

本製品は、下記特殊環境での使用を配慮した設計にはなっておりません。従いまして、下記のような特殊環境における使用に起因するお客様もしくは第三者の損害に対して、当社はその責を負いません。

例：

- 1) 水、油、薬液、有機溶剤等の液体中でのご使用。
- 2) 直射日光、屋外暴露、塵埃中でのご使用。
- 3) 潮風、CL<sub>2</sub>、H<sub>2</sub>S、NH<sub>3</sub>、SO<sub>2</sub>、NO<sub>x</sub>等の腐食性ガスの多い場所でのご使用。
- 4) 静電気や電磁波や放射線の強い環境でのご使用。
- 5) 結露するような場所でのご使用。
- 6) 振動、衝撃、応力が加わる環境でのご使用。
- 7) 発熱体、発火物及び引火物の近くでのご使用。

本資料に記載の製品及び技術のうち、外国為替及び外国貿易法の規定により規制貨物等（または役務）に該当するものについては日本国の輸出管理関連法規に定める手続をとることが必要であり、米国輸出管理規則等外国の輸出管理関連法規の規制に該当する場合は必要に応じそれらの法令に定める手続をとることが必要です。また、それらを、第三者に販売、賃貸、譲渡又は使用許諾等をする場合、当該第三者に対し、責任をもって輸出管理関連法規に定める手続をとることを遵守させて下さい。

M01J1007